

Анализ работы выходного MOSFET-каскада УМЗЧ

Александр Тищенко (Москва)

В статье методом математического моделирования ищется оценка нелинейных искажений и демпинг-фактора двухтактных выходных каскадов УМЗЧ для различных типов мощных полевых транзисторов.

Связан ли однозначно коэффициент нелинейных искажений усилителя с качеством его звучания? В общем случае нет, это скажет любой специалист по звукотехнике. Причин «отсутствия звука» может быть много, обычно они связаны с ошибками в конструкции усилителя, но их анализ не является предметом данной статьи. Мы займёмся математическим моделированием работы выходного каскада на полевых транзисторах (MOSFET), не имея возможности оценить его «на слух». Сразу оговорюсь: модель не учитывает зависимость тока стока от напряжения на нём, частотные свойства транзисторов и эффект тепловой конверсии.

Поставим себе непростую задачу: в нашем усилителе не будет отрицательной обратной связи (ООС), с помощью которой разработчики уменьшают коэффициент общих гармонических искажений (THD) и увеличивают демпинг-фактор (DF). За и против ООС сломано немало перьев, и мне не хочется здесь вступать в полемику с её защитниками.

Скажу лишь, что с моей точки зрения неправилен сам принцип ООС: сперва сделать плохо, а потом исправлять. Логично сразу формировать на нагрузке высококачественный сигнал, тогда и ООС можно отсечь бритвой Оккама как лишнюю сущность¹.

Будем исходить из следующих положений:

- чем THD меньше, тем лучше. Зададимся целью достичь значения THD не более 0,1% (–60 дБ) для сигналов с максимальным уровнем (40 В), а для сигналов с уровнем –10 дБ от максимального (14 В) добиться THD не более 0,01% (–80 дБ);
- чем DF выше, тем лучше. Установим минимальное значение DF = 30 дБ.

Интерес к MOSFET как к активным приборам выходного каскада УМЗЧ возник в 70-е годы прошлого столетия в связи с разработкой мощных латеральных (боковых) транзисторов. Наиболее распространенными в те годы были транзисторы 2SK135, 2SJ39 фирмы Hitachi. Современным аналогом этой легендарной пары являются транзисторы 2SK1058 и

2SJ162. Кроме них в рассмотрение попали комплементарные звуковые транзисторы и других фирм – см. таблицу. Исключением в этой таблице являются импульсные транзисторы IRFP240 и IRFP9240. Производитель не позиционирует их как комплементарные звуковые, однако есть сведения об их успешном использовании в выходных каскадах УМЗЧ с ООС.

Исходной для расчётов является передаточная характеристика – зависимость тока стока полевых транзисторов от напряжения на затворе. Теоретически эта зависимость должна быть квадратичной, но на практике оказывается, что это далеко не так. Попытки аппроксимировать передаточную характеристику квадратичной функцией не дают приемлемого по точности результата.

Не вдаваясь в теорию работы MOSFET и не заботясь о размерности и физическом смысле коэффициентов, представим зависимость тока стока I от напряжения затвор-исток U_g в виде функции:

$$I = A (U_g - U_0)^B,$$

где: U_0 – пороговое напряжение, A и B – расчётные коэффициенты.

Оказывается, такое представление передаточной функции позволяет получить довольно точное соответствие расчётных кривых графикам передаточных характеристик, приводимым производителями транзисторов. Результаты расчётов коэффициентов аппроксимации для нескольких типов транзисторов приведены в таблице. Наиболее доступными на российском рынке являются транзисторы фирм Hitachi, Toshiba и IR, поэтому дальнейшие расчёты проводятся именно для них.

Нелинейные искажения и демпинг-фактор выходного MOSFET-каскада рассчитываются для схемы ком-

Коэффициенты передаточных характеристик MOSFET

Тип	Производитель	Канал	A	B	U0
EC-10N	Exicon	N	0,962	1,402	0,621
EC-10P	Exicon	P	0,55	1,579	0,379
2SK1529	Toshiba	N	3,264	1,598	2,204
2SJ200	Toshiba	P	3,162	1,609	2,202
BUZ900P	Magnatec	N	0,522	1,552	0,037
BUZ905P	Magnatec	P	0,331	1,696	0,033
2SK1058	Hitachi	N	0,329	1,654	0,035
2SJ162	Hitachi	P	0,368	1,481	0,067
IRFP240	IR	N	0,969	2,857	3,607
IRFP9240	IR	P	2,937	1,667	3,679

¹ У Оккама: *entia non sunt multiplicanda praeter necessitatem*. В дословном переводе: сущностей не следует умножать сверх необходимости. Бритва Оккама – это принцип отбора гипотез и решений, согласно которому нет нужды использовать более сложные построения, пока не исчерпаны простые.

плементарного истокового повторителя (КИП), приведённой на рис. 1. Для расчётов важны коэффициенты А и В характеристик транзисторов, а пороговым напряжением U0 в дальнейшем можно пренебречь.

Источник Ui генерирует синусоидальное входное напряжение КИП. Источники Ub1 и Ub2 задают на затворах начальное напряжение смещения, обеспечивающее ток покоя каскада Ib:

$$U_b = \left(\frac{I_b}{NA} \right)^{\frac{1}{B}} + \frac{I_b \cdot R_s}{N}$$

где: N – число транзисторов в плече; Rs – сопротивление резисторов в истоках.

Источники Um обеспечивают питание КИП, его нагрузкой является резистор Rl. Число транзисторов в плече N можно менять, при этом в истоке каждого транзистора остаётся резистор Rs, а суммарный ток покоя каскада Ib остаётся неизменным.

Входной сигнал Ui генерируется в виде 16 отсчётов одного периода синусоиды, его амплитуда меняется от 1 до Um. Выходное напряжение каскада Uo для каждого отсчёта входного напряжения Ui находится в результате решения нелинейной системы уравнений:

$$\begin{aligned} U_i + U_{b1} - U_{g1} - R_s \cdot I_1(U_{g1}) &= U_o \\ U_i - U_{b2} + U_{g2} + R_s \cdot I_2(U_{g2}) &= U_o \\ (I_1(U_{g1}) - I_2(U_{g2}))R_l \cdot N &= U_o \end{aligned}$$

где: Ug1, Ug2 – напряжения затвористок транзисторов соответственно с N- и P-каналом; I1(Ug1), I2(Ug2) – токи стоков транзисторов соответственно с N- и P-каналом.

Для полученных отсчётов периода выходного сигнала выполняется БПФ, а затем находятся коэффициент общих гармонических искажений и относительные уровни гармоник сигнала. Кроме того, отнеся выходной сигнал к разности входного и выходного сигналов, получаем демпинг-фактор. Все расчётные величины пересчитываются в децибелы и заносятся в двумерный массив Si,U, где:

- i = 0 – строка значений DF;
- i = 1 – строка значений THD;
- i = 2...8 – относительные значения 2...8 гармоник сигнала соответственно;
- U – амплитуда входного сигнала в вольтах.

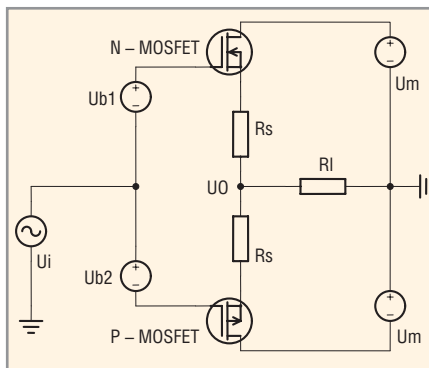


Рис. 1. Схема включения мощных MOSFET в выходном каскаде УМЗЧ

Для удобства восприятия полученные результаты можно вывести в виде графика. Зададимся сопротивлением нагрузки Rl = 8 Ом и приступим к расчётам. Желающие могут взять на сайте журнала написанные для Mathcad программы Approx и Distortion и не только повторить приводимые в статье расчёты, но и просчитать с их помощью свои варианты.

Транзисторы 2SK1058 и 2SJ162

Добиться необходимого значения THD = -60 дБ для КИП на этих транзисторах удастся при токе покоя Ib = 1,4 А и N = 4 (рис. 2).

Как видно из рис. 2, основной вклад в THD практически во всём диапазоне выходного напряжения вносит 2-я гармоника сигнала. Как известно, чётные гармоники возникают из-за неидентичности транзисторов с P- и N-каналом. Логично попробовать скомпенсировать неидентичность транзисторов истоковыми резисторами Rs, но в данном случае это не даёт никакого положительного результата, наоборот, искажения только растут. В этом режиме достигается DF = 30,8 дБ.

Можно попробовать снизить ток покоя каскада до 1 А, а снижение THD «купить» увеличением числа транзисторов в плече до N = 6 (рис. 3). Результат THD = -61 дБ, DF = 32 дБ вполне приемлемый. Дальнейшее снижение тока покоя приводит к угрожающему росту 5-й гармоники при больших уровнях сигнала. В обоих вариантах включения не удастся достичь уровня THD = -80 дБ для сигнала амплитудой 14 В.

Транзисторы 2SK1529 и 2SJ200

Уровень THD = -65 дБ, недостижимый для 12 транзисторов от Hitachi,

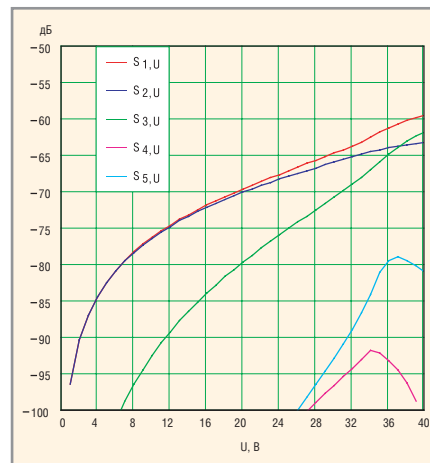


Рис. 2. Нелинейные искажения КИП на транзисторах 2SK1058 и 2SJ162 (N = 4, Ib = 1,4 А)

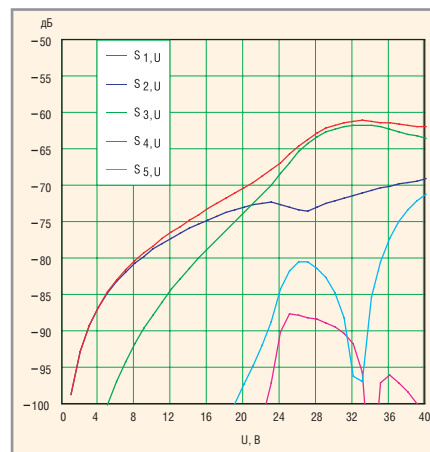


Рис. 3. Нелинейные искажения КИП на транзисторах 2SK1058 и 2SJ162 (N = 6, Ib = 1 А)

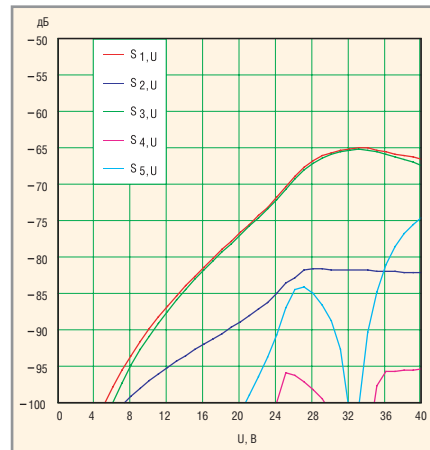


Рис. 4. Нелинейные искажения КИП на транзисторах 2SK1529 и 2SJ200 (N = 1, Ib = 1 А)

оказался по плечу двум транзисторам от Toshiba при том же токе покоя, – сравните рис. 3 и 4. Характерно, что в данном случае основной вклад в THD вносит 3-я гармоника, поскольку транзисторы с P- и N-каналами идентичны. В этом режиме получаем D = 34 дБ, а для сигнала амплитудой 14 В получаем THD = -84 дБ. В случае N = 4 при том же токе покоя

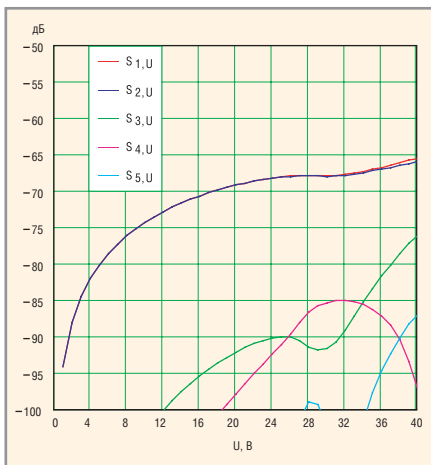


Рис. 5. Нелинейные искажения КИП на транзисторах IRFP240 и IRFP9240 (N = 1, Ib = 1 А)

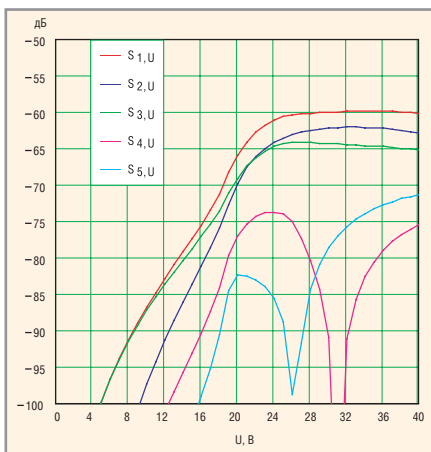


Рис. 6. Нелинейные искажения каскада на транзисторах IRFP240 и IRFP9240 (N = 4, Ib = 1 А, Rs = 0,33 Ом)

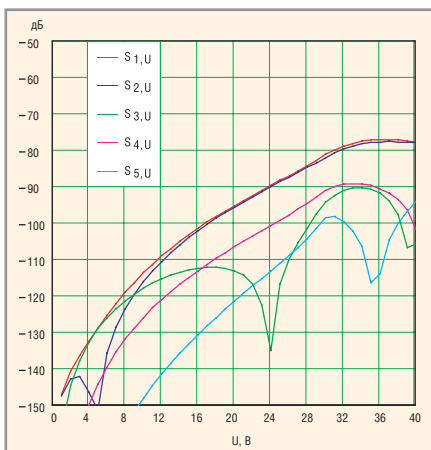


Рис. 7. Нелинейные искажения КИП на транзисторах IRFP240 и IRFP9240 (N = 2, Ib = 1,22 А)

получим максимальное значение THD = -72 дБ и DF = 42 дБ. Графики для этого варианта приводить не буду: вид кривых остаётся практически неизменным, они просто «сползают» вниз на 7...8 дБ. Введение истоковых резисторов не уменьшает, а только увеличивает THD.

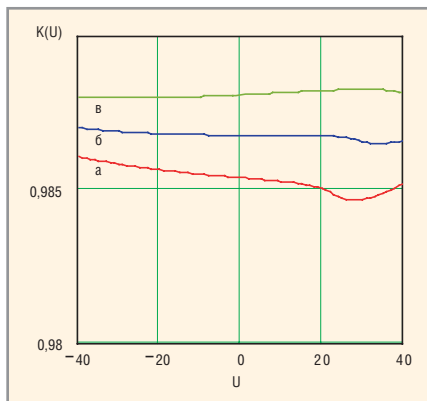


Рис. 8. Коэффициент передачи КИП на транзисторах IRFP240 и IRFP9240 (N = 2) при различных токах покоя:

(а) 1 А, (б) 1,22 А, (в) 1,5 А

Транзисторы IRFP240 и IRFP9240

Эти транзисторы не являются «звукowymi», они предназначены для работы в ключевом режиме в схемах импульсных силовых устройств. Тем не менее, есть сведения о том, что эти транзисторы успешно используются для замены выходных биполярных транзисторов при апгрейде серийных УМЗЧ различных фирм. Они широко распространены и недороги – эти обстоятельства также в пользу того, чтобы исследовать особенности их использования в выходных каскадах УМЗЧ. Первое «включение»: повторяем условия предыдущего эксперимента и получаем максимальное значение THD = -65 дБ, DF = 33 дБ (рис. 5). Как и следовало ожидать, THD формируется 2-й гармоникой сигнала, причём в области малых уровней сигнала искажения выше, чем у других транзисторов. Введение истоковых резисторов Rs в этом режиме работы приводит только к росту THD.

Увеличение числа транзисторов в плече до N = 4 снижает THD на 4...7 дБ, демпинг-фактор вырастает до DF = 39 дБ. В этом режиме введение истоковых резисторов номиналом 0,33 Ом позволяет симметризовать каскад, «укротить» 2-ю гармонику и существенно снизить THD в области малых сигналов. Удаётся достичь THD = -80 дБ для сигнала амплитудой 14 В (рис. 6). Как и следовало ожидать, демпинг-фактор каскада немного уменьшается: DF = 36 дБ.

Тот факт, что при большом и при малом токе покоя транзисторов реакция КИП на введение истоковых резисторов различна, наталкивает на

мысль найти ток, при котором свойства каскада претерпевают изменения. Оказалось, что для пары IRFP240 и IRFP9240 существует «волшебная» точка при токе примерно 0,61 А, в которой THD каскада резко падает (см. рис. 7).

Бесполезно искать эту точку у других пар транзисторов: её там нет. Появление этой точки обусловлено уникальным значением $V = 2,857$ у транзистора IRFP240 (см табл. 1), а точнее, сочетанием $V < 2$ у одного транзистора пары и $V > 2$ у другого. Оказывается, в этом случае график коэффициента передачи каскада меняет наклон в зависимости от изменения тока покоя и при определённом его значении может оставаться постоянным вблизи нуля, как показано на рис. 86. Именно в этом режиме и происходит значительное снижение искажений.

Я не случайно сравниваю показатели степени характеристик транзисторов с их теоретическим значением, равным 2. Дело в том, что КИП с такими гипотетическими транзисторами работает ... без искажений вообще! Правда, до выходного тока, равного учетверённому току покоя. Вот случай пожалеть о расхождении теории и практики!

Подведём итоги

Как и предполагалось, низкие искажения выходного MOSFET-каскада достигаются не только увеличением тока покоя, но в ряде случаев и параллельным включением нескольких транзисторов. Параллелировать «звуквые» полевые транзисторы нужно без истоковых резисторов, последние только увеличивают искажения и снижают демпинг-фактор.

Искажения, вносимые транзисторами 2SK1058 и 2SJ162 от Hitachi, определяются в основном 2-й гармоникой сигнала. Строго говоря, эта пара не позволяет добиться малых искажений для сигналов ниже 14 В, но вторая гармоника, по мнению многих слушателей, не является неприятной и вносит в звук теплоту. Я этот вариант опробовал на практике, мне звук понравился.

Пальма первенства достаётся транзисторам 2SK1529 и 2SJ200 от Toshiba. Они идентичны, поэтому основной вклад в искажения сигнала вносит 3-я гармоника. КИП на этих транзисторах имеет не только наи-

меньшие искажения, но и наивысший демпинг-фактор.

Применение импульсных транзисторов IRFP240 и IRFP9240 от IR в выходном каскаде УМЗЧ возможно, но имеет некоторые особенности. Эти транзисторы необходимо использовать при небольшом токе покоя, для чего включать по несколько штук параллельно, причём обязательно с истоковыми резисторами. Если эти требования выполнены, то каскад может показать вполне приличные результаты.

Расчёты показывают резкое снижение искажений для этой пары транзисторов при определённом токе покоя. Можно, конечно, пробовать работать в этой точке, но возникает не только задача попасть в узкую область оптимального тока, но и поддерживать работу в ней при прогреве транзисторов. Вопрос о том, куда будет смещаться эта точка при повышении температуры, да и сохранится ли она вообще, не исследовался.

В целом результат исследований утешительный: вполне достижимы

вносимые выходным MOSFET-каскадом искажения 0,01% для сигналов с амплитудой до 14 В и 0,1% для пиковых сигналов с амплитудой до 40 В. Демпинг-фактор может превышать 100. Это означает, что аудиофильные УМЗЧ без обратной связи уже сегодня могут быть реализованы без особых технических ухищрений. Остаётся только ждать появления MOSFET со строго квадратичной характеристикой, после чего задача создания УМЗЧ без искажений станет просто скучной. ©

Новости мира News of the World Новости мира

Новый алгоритм сжатия для HDTV

Лос-Аламосская национальная лаборатория при Департаменте энергетики США разработала алгоритм, позволяющий сжимать телевизионный сигнал высокого разрешения (HDTV) в обычный телевизионный вещательный канал стандартной шириной 6 МГц.

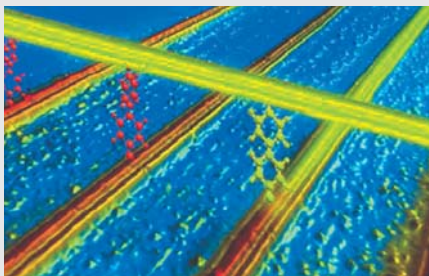
Общераспространённый аналоговый телевизор может принимать стандартные телевизионные каналы, а при подключении к нему цифровой декодирующей приставки появится возможность просматривать принимаемый HDTV-сигнал на дисплеях с разрешением 1280 x 720 пикселей и прогрессивной разверткой.

Представители лаборатории сравнили новую технологию с тем, как в своё время передачи цветного телевидения были адаптированы для приёма в старых чёрно-белых диапазонах. Применяемый в настоящее время метод сжатия HDTV несовместим с современными телевизорами, поскольку изображение сжимается и конвертируется в специальный формат, который на обычном телевизоре выглядит «белым шумом».

<http://www.ci.ru/>

Новая технология производства компьютерных микросхем

В соответствии с эмпирическим законом Мура, количество элементов в компьютерных микросхемах, а следовательно, и их быстродействие, возрастает в два раза примерно каждые полтора-два года. Однако, по мнению ряда ученых, без внедрения принципиально новых технологий данный закон уже в следующем десятилетии может потерять актуальность из-за физических ограничений. В компании Hewlett-Packard утверждают, что разработали методику изготовления микросхем,



Нанопереклюатели для микросхем следующего поколения

которая позволит продлить действие закона Мура по крайней мере на 50 лет.

Суть новой технологии сводится к следующему. Вместо транзисторов исследователи HP предлагают использовать так называемые «защёлки», состоящие из трёх нанопроводников и двух молекулярных переключателей. Два из этих проводников расположены параллельно друг другу и размещены над третьим под прямым углом (см. рисунок). При этом молекулярные переключатели служат для соединения нанопроводников друг с другом. Причём переключатели всегда находятся в различных состояниях: один из них открыт, а другой – закрыт, или наоборот. Эти комбинации и соответствуют логическим 0 и 1.

По словам учёных, технология теоретически позволит создавать сверхбыстродействующие микросхемы для компьютеров следующего поколения. Другим достоинством методики является относительно низкая себестоимость производства чипов, для изготовления которых предполагается применять систему, напоминающую струйную печать.

Примечательно, что патент на предложенную технологию был получен компанией Hewlett-Packard ещё в 2003 году, однако доказать жизнеспособность методики исследователям удалось только сейчас. Планируется, что первые гибридные

микросхемы, содержащие и транзисторы, и «нанозащёлки», появятся на рынке в первой половине следующего десятилетия. Изготавливаться такие чипы будут, предположительно, по 32-нанометровой технологии. Коммерциализация новой методики намечена на 2020-е гг., сообщает CNET News.

<http://science.compulenta.ru/>

Разработан 5-дюймовый квадратный массив СИД мощностью 1,4 кВт/28 клм

В феврале компания Lamina Ceramics of Westhampton (Нью-Джерси, США) объявила о создании массива белых СИД, яркость которого в 14 раз превосходит яркость прежде демонстрировавшегося массива белых СИД. Новый твердотельный прибор обладает яркостью 28 клм, имеет форму квадрата со стороной 5 дюймов и мощность 1,4 кВт. Объявление о создании нового прибора сделано спустя всего три месяца после того, как был анонсирован предыдущий RGB-осветитель. Новый массив содержит 1120 СИД и имеет исправленную цветовую температуру 5500°K.

www.compoundsemi.com/news

IXYS предлагает драйверы маломощных белых СИД

Компания IXYS (Санта-Клара, Калифорния, США) начала производство драйвера белых СИД, предназначенного для использования в переносной аппаратуре с батарейным низковольтным питанием. МХ841 был разработан специально для того, чтобы включать до 3 белых СИД последовательно при напряжении питания от 1,1 В. Выходная мощность драйвера позволяет использовать в приборах более 20 последовательно/параллельно включенных белых СИД при питании 5 В.

www.compoundsemi.com/news

As can be seen, the bias voltage will track the V_{BE} voltage of Q_1 at a fixed ratio. The bias voltage will change with temperature when Q_1 is mounted to the same heat sink as the output devices. The thermal feedback and temperature compensation works as follows. For a given bias voltage, the output stage's bias current will increase as the temperature increases. However, since Q_1 is mounted along side the output devices, its V_{BE} voltage will decrease with increased temperature. This reduces the current through resistors connected to Q_1 's base, which results in a reduction of bias voltage. This negative feedback produces a bias voltage that changes in order to maintain a stable bias current in the output stage.

DETERMINING OUTPUT STAGE BIAS CURRENT

For a Class AB amplifier design, bias current is chosen such that crossover distortion is minimized while also keeping quiescent power dissipation low. Higher bias current reduces harmonic distortion levels. At some point there is little reduction with increased bias current and resulting power dissipation. A tradeoff in the bias current level must be made between THD performance and power dissipation.

MOSFET output stages typically need higher bias current than BJT output stages for good performance in a **Class AB** amplifier design. Using the **Magnatec BUZ901/BUZ906** pair and the resistor bias circuit shown in Figure 3, different bias current levels are shown in the FFT versus Frequency graphs and oscilloscope photos (Figures 5 - 10). For each graph the output power level is 40W into an 8Ω resistive load. The measurement equipment is set to notch out the fundamental frequency of the test signal. The fundamental is reduced by more than -110dB relative to 0dB. 0dB is set equal to the voltage for 40W into 8Ω. The first graph, Figure 5, has a bias current of 50mA and shows a case of insufficient bias current. The result is THD that is dominated by crossover distortion. This is indicated by the high level and number of harmonics. Figure 6 shows the residual harmonics on an oscilloscope and clearly crossover distortion is dominant.

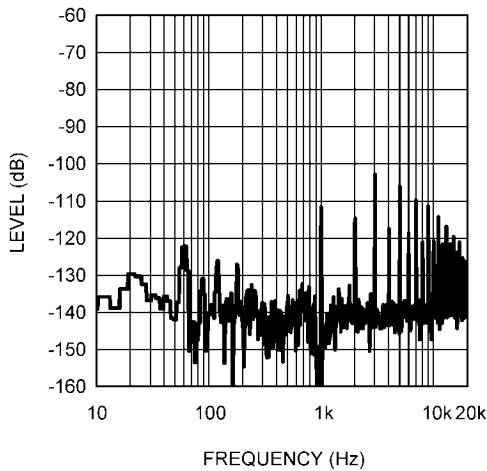


FIGURE 5. 50mA Bias Current

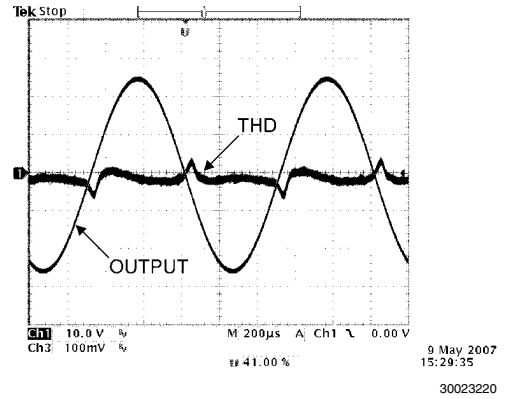


FIGURE 6. 50mA Bias Current

Increasing the bias current to 150mA reduces the magnitude of the harmonics as shown in the FFT of Figure 7 and the oscilloscope view in Figure 8.

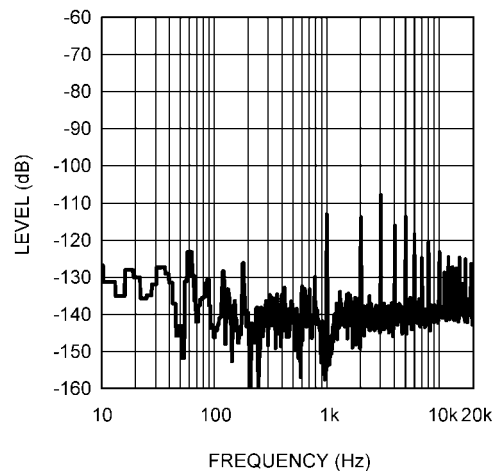


FIGURE 7. 150mA Bias Current

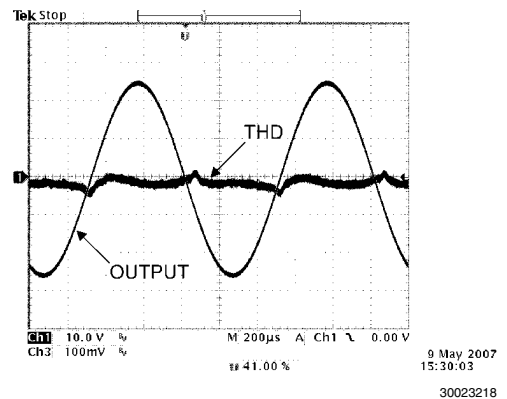


FIGURE 8. 150mA Bias Current

Figures 9 and 10 show the harmonic content when the bias is pushed all the way to 500mA.

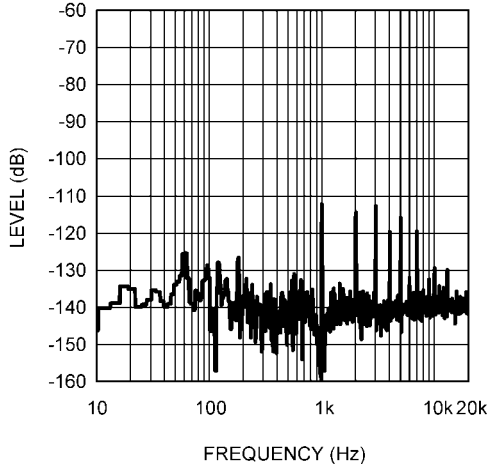


FIGURE 9. 500mA Bias Current

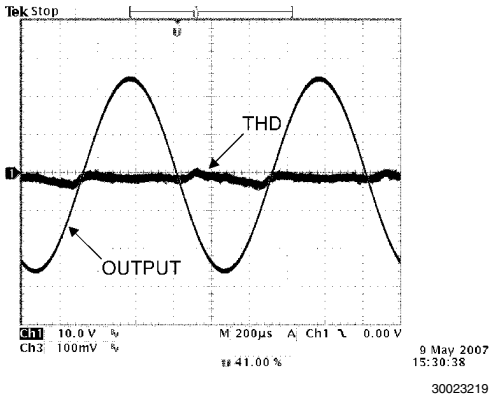


FIGURE 10. 500mA Bias Current

Figures 11 through 13 show the difference in harmonics with bias levels of 100mA, 200mA and 300mA using the Magnatec BUZ901/BUZ906 pair. Similar results using the same bias current levels can be observed with any of the devices listed in Table 1.

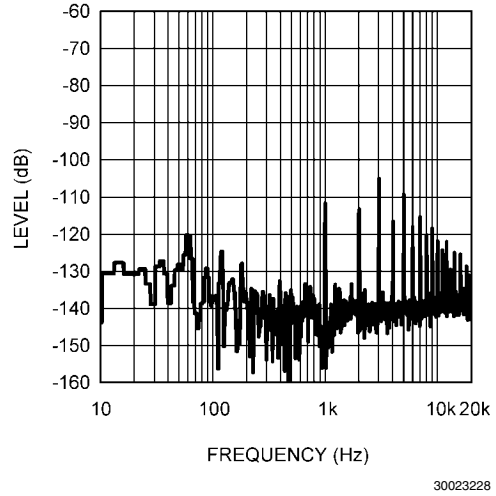


FIGURE 11. 100mA Bias Current

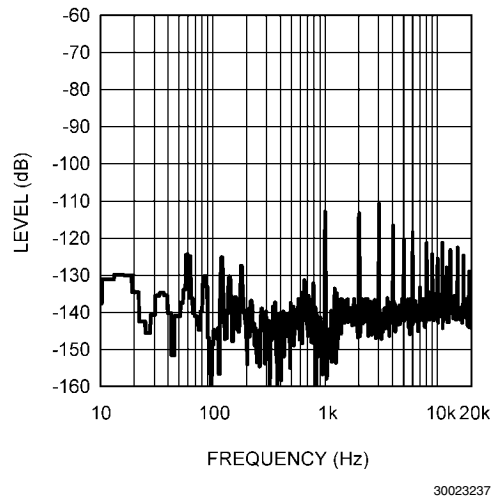


FIGURE 12. 200mA Bias Current

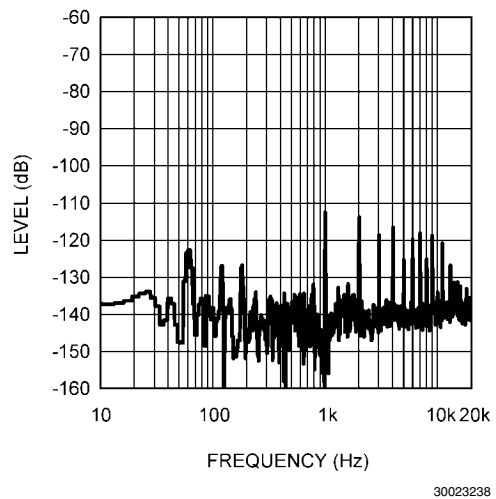


FIGURE 13. 300mA Bias Current

Tables 2 - 4 list the resulting 1kHz THD+N measurement at 40W into an 8Ω load with a 22kHz measurement bandwidth.

The tables show that bias currents above 200mA produce only minor improvements in THD+N at a significant power dissipation cost.

TABLE 2. Magnatec Bias Current and THD+N

Bias Current	1kHz THD+N at 40W/8Ω Single Channel, 22kHz BW
50mA	0.00129%
100mA	0.00104%
150mA	0.00085%
200mA	0.00068%
250mA	0.00064%
300mA	0.00062%
1A	0.00061%

TABLE 3. Renesas Bias Current and THD+N

Bias Current	1kHz THD+N at 40W/8Ω Single Channel, 22kHz BW
50mA	0.00129%
100mA	0.00098%
150mA	0.00081%
200mA	0.00074%
250mA	0.00070%
300mA	0.00068%
1A	0.00075%

TABLE 4. Toshiba Bias Current and THD+N

Bias Current	1kHz THD+N at 40W/8Ω Single Channel, 22kHz BW
50mA	0.00085%
100mA	0.00070%
150mA	0.00067%
200mA	0.00064%
250mA	0.00061%
300mA	0.00057%
1A	0.00055%

The graphs above and information in Tables 2- 4 indicate that the a range of 100mA to 200mA of bias current in the output stage produces low magnitude harmonics and manageable power dissipation.

Because of the higher V_T the IRFP240/IRFP9240 pair cannot be biased correctly to eliminate crossover distortion and THD performance will be affected. The maximum bias voltage obtained was 7.1V with no resistor between the SINK and SOURCE pins of the LM4702 (A 20kΩ resistor may be used with the bias voltage reduced to 7V). The bias current is 25mA under these conditions. Figure 14 below shows the THD residual on an oscilloscope indicating crossover distortion is dominant.

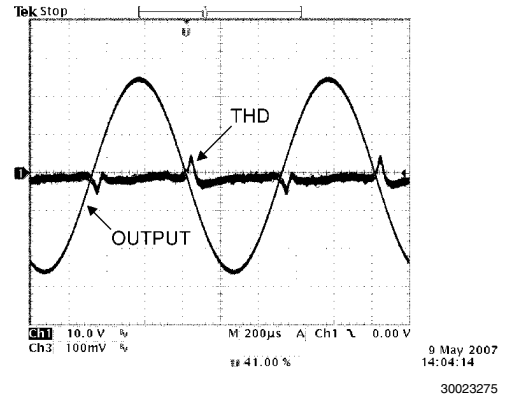


FIGURE 14. 40W Output and THD Residual

DETERMINING BIAS CIRCUIT DESIGN

Device characteristics and design goals determine whether thermal tracking is needed for stable bias current over temperature. To determine which devices need thermal tracking and which do not, the Drain Current versus Gate - Source voltage (I_D vs. V_{GS}) graph in the device datasheet can be used. Device manufacturers typically have multiple plots on the $I_D - V_{GS}$ graph for different case temperatures. The intersection point of the plots is where stable bias current can be achieved at a fixed bias voltage and without thermal tracking. At higher or lower V_{GS} voltages, the drain current will vary with case temperature.

Inspection of the graphs for the **Renesas 2SK1058/2SJ162** pair and the Magnatec BUZ901/BUZ906 pair shows that three different case temperature plots all intersect at low drain current (<0.5A). The **Toshiba 2SK1530/2SJ201** pair and International Rectifier IRFP240/IRFP9240 pair graphs have an intersection of the three plots at a very high drain current (>5A). In fact, the 2SJ201 does not appear to have an intersection point on the graph. From these graphs it is determined that the **Renesas and Magnatec pairs can be biased in the 100mA to 200mA range** previously determined without the need for thermal tracking. A simple bias resistor circuit will give stable bias current over operating temperature.

The Toshiba 2SK1530/2SJ201 pair will require the V_{BE} multiplier circuit for thermal tracking with temperature compensation to achieve stable bias current over temperature. A bias level of 150mA in the output stage will be used for the 2SK1530/2SJ201 pair.

The IRFP240/IRFP9240 would need thermal tracking if properly biased since the intersection point on the $I_D - V_{GS}$ is at high current. The limitation in bias voltage with the LM4702 does not allow for proper bias.

It may be desirable to have higher bias current to reduce distortion harmonics, improve THD performance, affect sonic qualities, or some other design criteria. High bias current levels can be set with a simple resistor bias design. The tradeoff for simplicity is more bias variation over case temperature. The amount of variation can be determined using the device's $I_D - V_{GS}$ graph. Depending on the device and design goal, the amount of variation may be acceptable at a higher bias level. For example, the **Renesas 2SK1058/2SJ162** devices could be **biased at 250mA** without temperature compensation. The bias current will vary much more than if the bias is set at the intersection point but the amount of variation may be acceptable. If bias stability is not acceptable then additional circuitry will be required for temperature compensation. Devices like the Toshiba 2SK1530/2SJ201 pair are not well suited for a

resistor bias (fixed bias voltage) scheme because the current will significantly vary with case temperature. The effects of bias instability on sonic performance is not investigated in this application note.

BIAS STABILITY

The Bias Current versus Time graphs below were created by running the output stage at 40W until steady state case and heat sink temperature are reached. The input signal is turned off (Time = 0) and the bias current recorded over time. It should be noted that the graph units are not linear as indicated. Bias current is measured at 10 second intervals for the first two minutes after the input signal was turned off then at 30 second intervals up to five minutes. One final measurement is taken at 10 minutes. The time steps are one reason for the different slopes on the time curve, more evident on the higher bias graphs. There are two plots on each graph, one indicating the quiescent steady state bias and the other indicating the bias over time after producing 40W of output power. There are several factors that affect the data such as θ_{JC} of the package and heat sink size which contribute to thermal delay. Device characteristics also affect the slopes of the time curves.

Figure 15 is the Renesas 2SK1058/2SJ162 pair operating at a bias of 100mA for the output stage in quiescent steady state. The power test shows a slightly higher bias when the devices are hot indicating that increasing the quiescent steady state bias would reduce variation caused by increased temperature. Figure 16 shows that at higher bias the slope of the curve and location is reversed. The power test shows lower bias current when the devices are hot indicating which side of the intersection point of the device's I_D-V_{GS} graph each bias current setting is located. A bias current of 115mA will be used for the Renesas 2SK1058/2SJ162 pair.

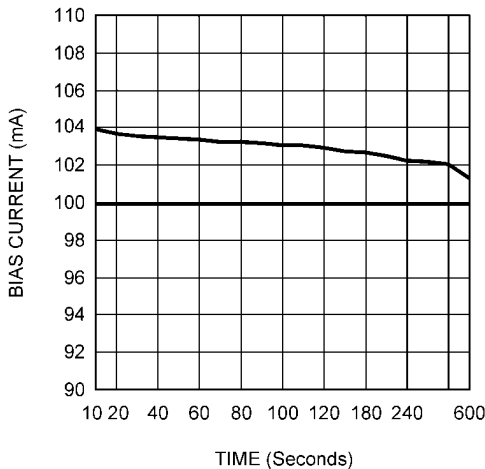


FIGURE 15. 2SK1058/2SJ162 at 100mA Bias

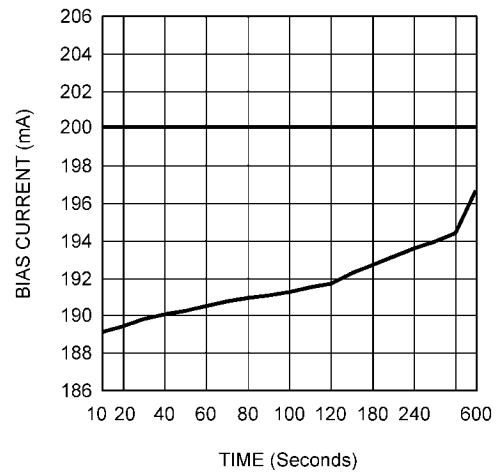


FIGURE 16. 2SK1058/2SJ162 at 200mA Bias

The same tests and graphs for the Magnatec BUZ901/BUZ906 are in Figures 17 and 18. Because the resolution of the device's I_D-V_{GS} graph is limited the intersection point is not distinguishable. Because of the difference in slope sign on the time curves in Figures 17 and 18, the intersection point is between the two bias settings and appears to be closer to 200mA than 100mA. This is determined by looking at how close the bias current returns to the steady state level after 10 minutes. A bias current of 180mA will be used for the Magnatec BUZ901/BUZ906 pair.

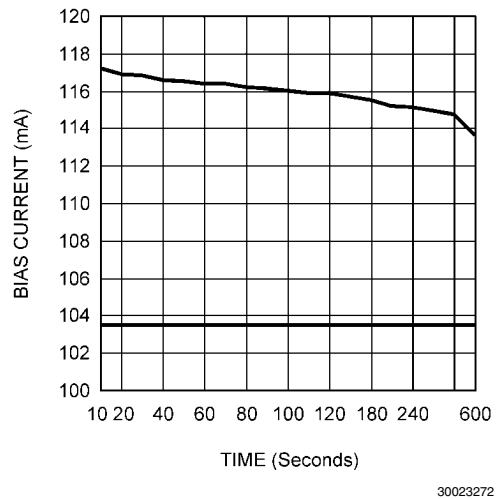
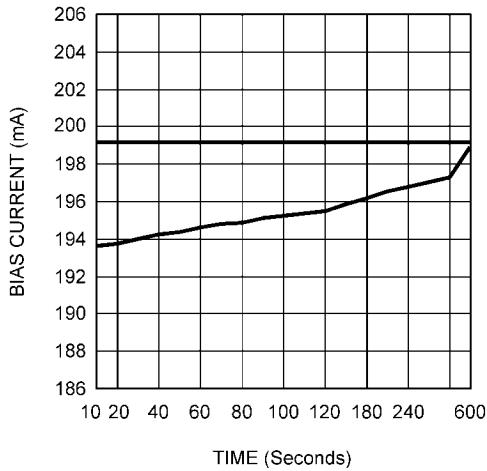


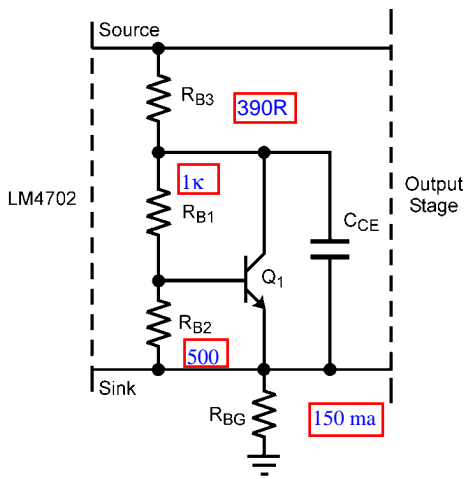
FIGURE 17. BUZ901/BUZ906 at 100mA Bias



30023273

FIGURE 18. BUZ901/BUZ906 at 200mA Bias

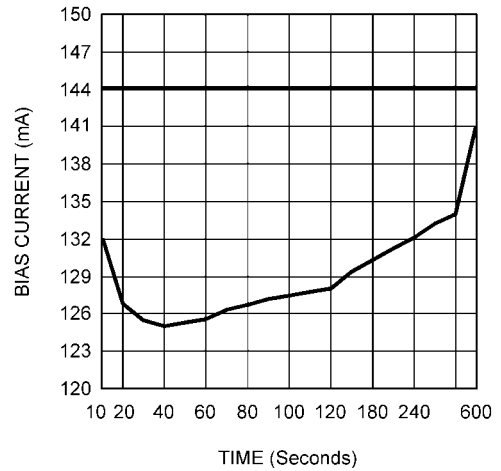
A target bias current of 150mA is chosen for the Toshiba 2SK1530/2SJ201 pair using the V_{BE} multiplier circuit for thermal compensation. The V_{BE} multiplier circuit of Figure 4 has more variation in bias voltage with temperature than needed for the 2SK1530/2SJ201 pair. To reduce the amount of change with temperature the circuit is modified as shown in Figure 19.



30023217

FIGURE 19. Modified V_{BE} Multiplier Bias Stage

Resistor R_{B3} is added to set a temperature independent voltage while the voltage created by the rest of the circuit will vary with temperature (See Equation 3). The correct amount of variation in bias voltage to maintain a target bias current of 150mA over operating temperature is found by using the resistor bias circuit shown in Figure 3. The bias voltage is measured with 150mA of bias current at initial power on when the case temperature of the devices is low. The resistor value is adjusted to maintain 150mA of bias current and the voltage measured as the case temperature changes. Using the V_{BE} voltage change with temperature of $2mV/^{\circ}C$ and the amount of voltage change needed across the temperature range, the correct ratio of R_{B1} and R_{B2} can be determined. The values determined are $R_{B1} = 1k\Omega$, $R_{B2} = 500\Omega$, $R_{B3} = 390\Omega$. Figure 20 below shows the bias current stability graph. The graph is created the same as done for the other devices.



30023274

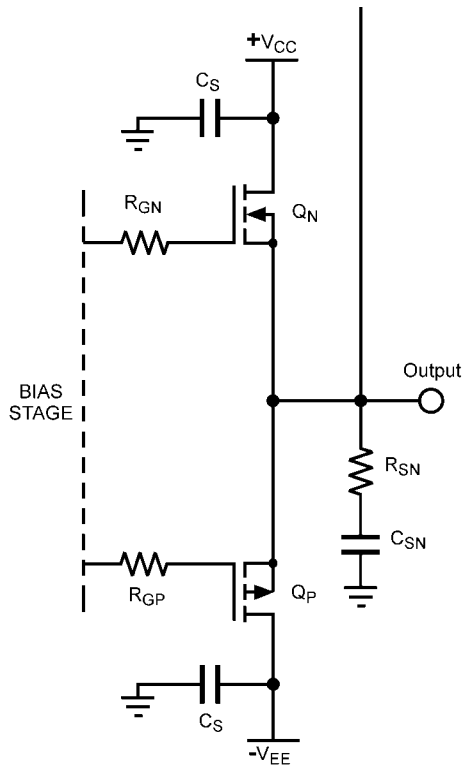
FIGURE 20. 2SK1530/2SJ201 Bias Stability

Figure 20 shows the bias current is slightly over compensated for temperature but sufficiently stable for the needs of this note. Additional refinements to improve bias stability with temperature were not performed.

The International Rectifier IRFP240/IRFP9240 devices are not tested for bias stability with case temperature. With the limitation in bias voltage using the LM4702, the bias voltage is low enough that at the highest operating case temperature the bias current is no more than 100mA in the output stage. The side benefit of this bias current instability is distortion is reduced as the amplifier heats up due to the increase in bias current in the output stages and resulting reduction of crossover distortion.

Output Stage

The output stage is a Source-Follower design. The output stage consists of the gate resistors, R_G , complementary MOSFET devices, and a snubber circuit, R_{SN} and C_{SN} . The output stage is shown in Figure 21. Only the gate resistor and bias voltage level will be varied to determine effect on performance for each of the different devices listed in Table 1. The design is a single pair of complementary devices in the output stage. This also eliminates the need for source degeneration resistors. For a design with multiple pairs of complementary devices in parallel, source resistors are recommended along with V_{GS} matching of devices.



30023213

FIGURE 21. Source-Follower MOSFET Output Stage

DETERMINING GATE RESISTOR VALUES

The gate resistors, R_{GN} and R_{GP} , are necessary for stability, MOSFET devices will often oscillate without them. The value is chosen for best THD performance across the power and frequency range of operation while maintaining stability. The values are determined by trial and error adjustment for each set of devices. In general, the frequency pole location of the low-pass filter created by the gate resistor and the device input capacitance, C_{ISS} , is chosen to be near the same for both the N-channel FET and P-channel FET. The pole location is found using the formula,

$$f_{-3dB} = 1/(2\pi C_{ISS} R_{GATE}) \text{ (Hz)}$$

The exact pole location is application and device dependent. One method to determine the right gate resistor value is to overdrive the amplifier with a square wave. The shape of the rise and fall curves will indicate a correct value. Below are oscilloscope pictures, Figures 22 and 23, showing how a wrong value can affect the rise and fall curves. If the value is too high then a "bump" appears in the rising or falling edge of the output signal. If the value is too low the amplifier will oscillate. Both of the gate resistors affect the rising and falling edges of the output signal requiring a middle point of adjustment for smooth curves. The input signal is a $2V_{RMS}$, 1kHz square wave.

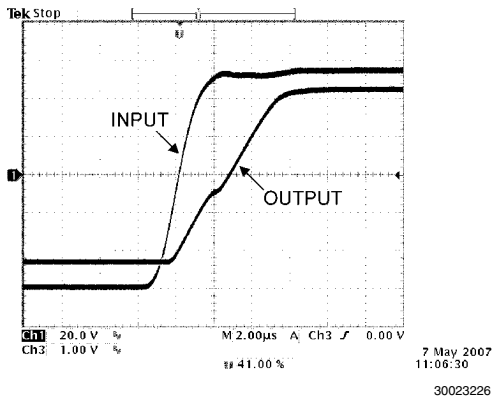


FIGURE 22. Rise Curve with Incorrect R_{GATE} Value

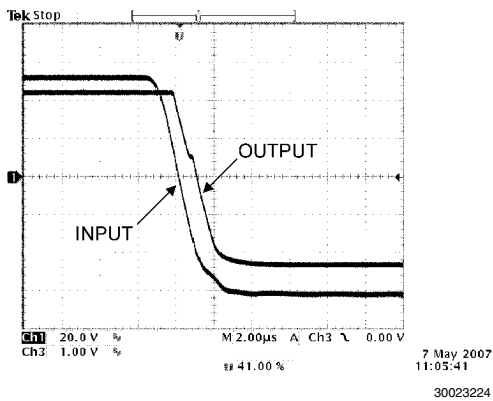


FIGURE 23. Fall Curve with Incorrect R_{GATE} Value

Compare the output signals in Figures 24 and 25 where the gate resistor values are set correctly with those found in Figures 22 and 23. The rising and falling edges are much smoother and linear. In all cases, stability was maintained. If the value of R_G is too low (especially for the N-channel FET) the amplifier will oscillate.

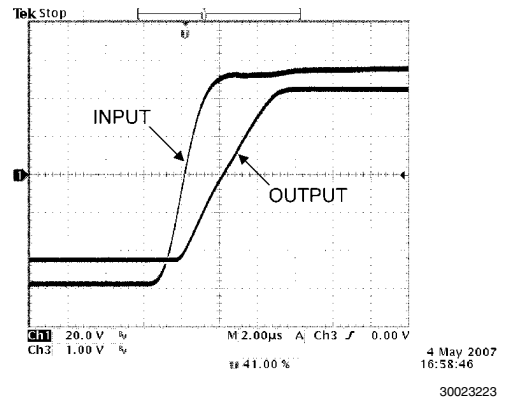


FIGURE 24. Rise Curve with Correct R_{GATE} Value

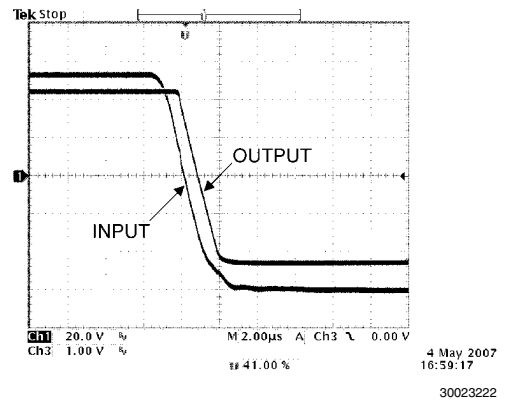


FIGURE 25. Fall Curve with Correct R_{GATE} Value

DETERMINING SNUBBER CIRCUIT COMPONENT VALUES

The Snubber circuit is composed of R_{SN} and C_{SN} . The common value of $0.1\mu F$ is chosen for C_{SN} and then a starting value of 10Ω is used for R_{SN} . The pole location created by the circuit is found using Equation 4 below.

$$f_{-3dB} = 1/(2\pi R_{SN} C_{SN}) \text{ (Hz)} \quad (4)$$

If small, high frequency oscillation is observed on the output then the snubber values need to be adjusted. Leave the value of R_{SN} set to 10Ω and increase the value of C_{SN} until the oscillation ceases.

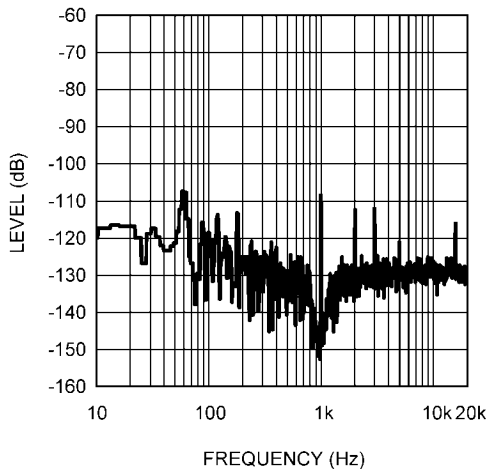
THD+N Performance

With the bias levels and circuits now determined, THD+N performance can be measured and compared for the different devices. In all cases, both channels of the LM4702 were on and in phase driven from an Audio Precision System 1. This presents the worse case measurement conditions for the different graphs.

RENESAS 2SK1058/2SJ162 PAIR

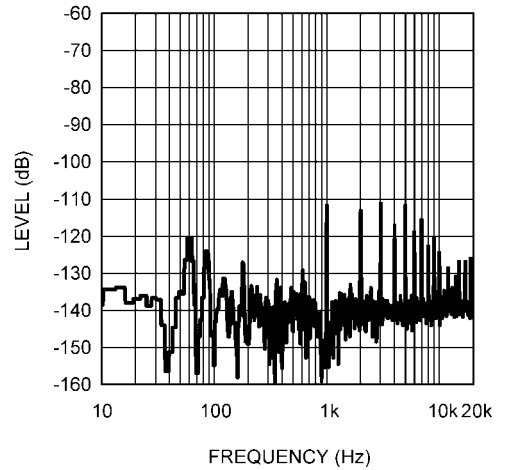
The 2SK1058/2SJ162 pair were biased at 115mA for the output stage. The 115mA bias current was very stable with changes in case temperature. A benefit of these Renesas devices is the integration of gate protection diodes eliminating the need for external gate protection components. The gate resistor values were determined by overdriving with a square wave and adjusting their value until the rising and falling edges were as linear as possible while maintaining stability. For these devices the gate resistors were 190Ω - 210Ω on the N-channel FET and 240Ω - 330Ω for the P-channel FET. The FFT graphs used the Audio Precision System 1's Reading function to remove the fundamental for better resolution. Note the scale of the graphs start at -60dB. This is dB relative to the fundamental, or in other words, the fundamental peak is equal to 0dB. The fundamental is notched out by the measurement equipment reducing it's level to -110dB relative. The graphs show the distortion levels of the harmonics at 1W, 40W and 100W output power levels with a 1kHz test signal.

FFT vs Frequency (Reading)
 $P_{OUT} = 1W/Channel, R_L = 8\Omega$
 2SK1058/2SJ162



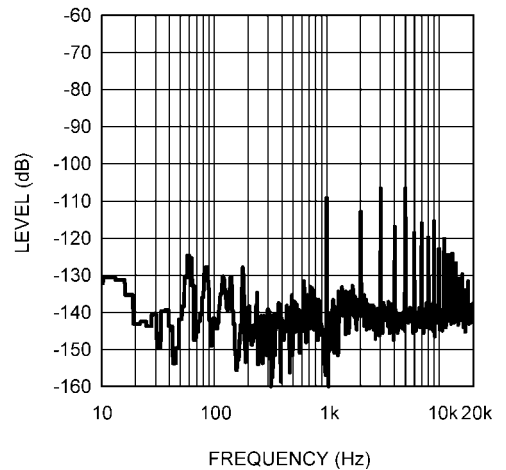
30023246

FFT vs Frequency (Reading)
 $P_{OUT} = 40W/Channel, R_L = 8\Omega$
 2SK1058/2SJ162



30023250

FFT vs Frequency (Reading)
 $P_{OUT} = 100W/Channel, R_L = 8\Omega$
 2SK1058/2SJ162

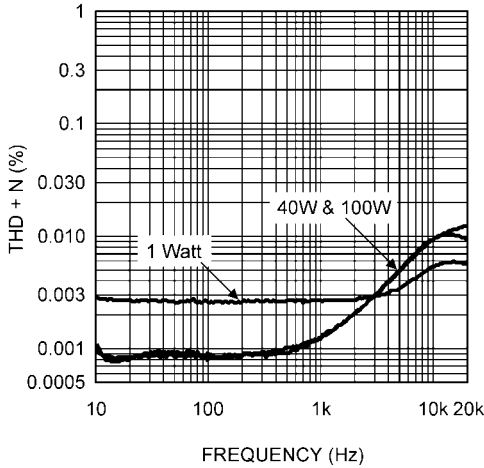


30023242

The THD+N vs. Frequency and THD+N vs. Output Power graphs show that high performance is possible over the frequency and power range of interest. The THD+N vs. Frequency graph has a range of 0.0005% to 1% to increase resolution. The 1% power level is 125.5W/Channel into an 8Ω load.

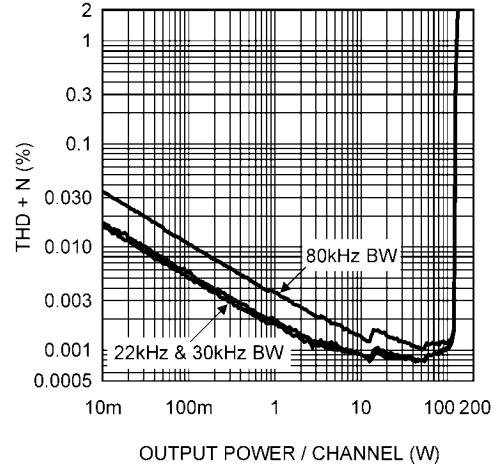
The graph below compares different bandwidth settings on the measurement equipment and the effect on a 1kHz plot during an output power sweep. The difference between the plots and the bandwidth setting shows the increase in THD +N is noise (+N) and not harmonics (THD).

THD+N vs Frequency
 $P_{OUT}/Channel, R_L = 8\Omega, 80kHz BW$
 2SK1058/2SJ162



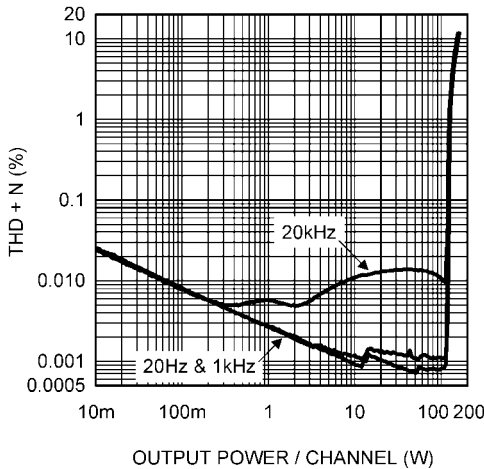
30023261

THD+N vs Output Power/Channel
 $R_L = 8\Omega, 1kHz$
 2SK1058/2SJ162



30023265

THD+N vs Output Power/Channel
 $R_L = 8\Omega, 80kHz BW$
 2SK1058/2SJ162

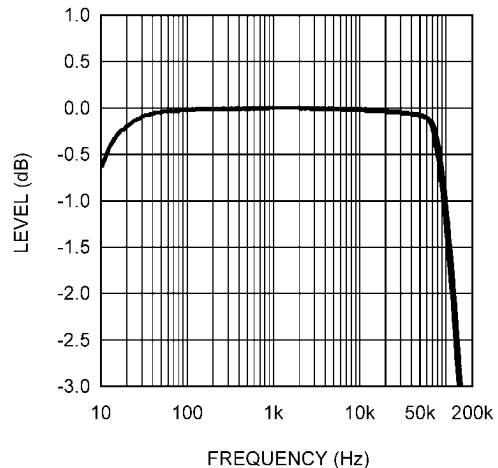


30023269

The frequency response at 100W/Channel is shown below. The snubber circuit is removed for all frequency response testing. The +/-3dB range is quite good. However, notice there is a knee or point of inflection on the plot at approximately 68kHz where response begins to roll off quickly. This point occurs when the slew rate limit is reached. The measured slew rate was 17V/μs with the output stage directly driven by the LM4702. Slew rate may also be calculated by using the inflection point on the frequency response graph and $Slew Rate = [2\pi * f * V_{OPEAK}] / 10^6 (V/\mu s)$ where f is the frequency of the inflection point on the frequency response graph and V_{OPEAK} is the peak output voltage.

The low frequency roll off is a result of the high-pass filter created with C_i and R_i . Increasing the values will move the low frequency roll off even lower. Both channels are shown on the graph but are indistinguishable at the resolution and size shown.

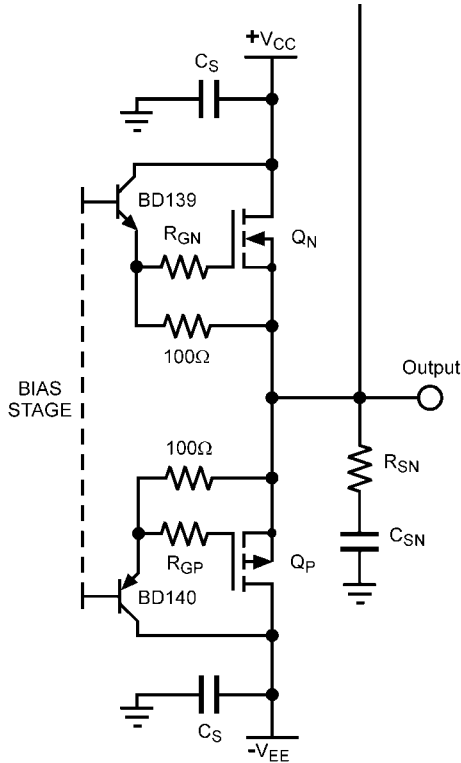
Frequency Response
 $P_{OUT}/Channel = 100W (0dB), R_L = 8\Omega,$
 2SK1058/2SJ162



30023254

SLOW RATE

The LM4702's output drive current (3mA minimum, 5.5mA typical) limits the slew rate. MOSFET devices have significant input capacitance making the amount of drive current an issue. Slew rate can be increased using an intermediate driver or buffer stage. To verify that the drive current is the limiting factor for slew rate, a simple driver stage was added to the output stage. This is shown in Figure 27. A supply voltage of +/-40V was used instead of +/-55V because of the voltage limitation of the BD139/BD140 devices (80V).

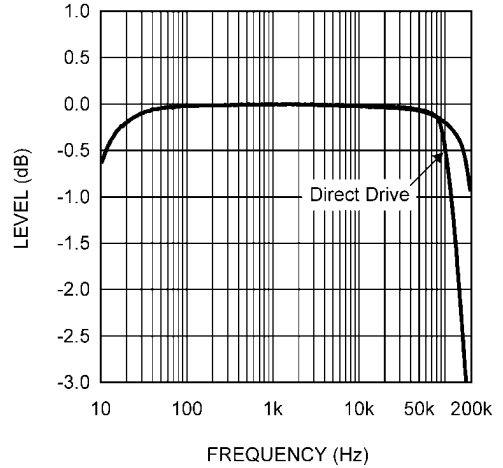


30023214

FIGURE 27. Output Stage with Driver Stage

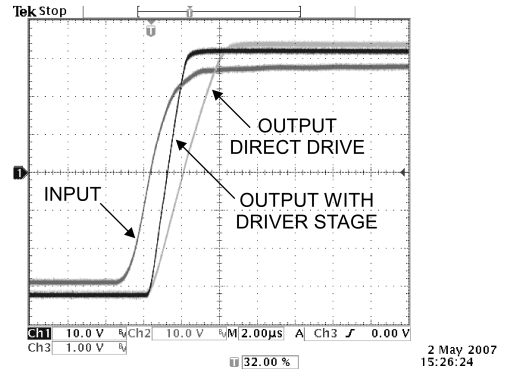
One channel of the amplifier had the driver stage added while the other channel used direct drive from the LM4702 for easy comparison. The output stage in both channels was biased at the same 115mA. The frequency response graph below compares the two channels delivering 60W of output power into 8Ω resistive loads. As can be easily seen, the channel with the driver stage has much higher bandwidth because of higher slew rate. The channel with a the driver stage has a slew rate of 30V/μs compared to 17V/μs for the channel with direct drive. Optimizations in the driver stage may result in better performance. The apparent difference in the plots for the direct drive channel to the previous direct drive 100W Frequency Response graph above is that the output power is only 60W. As the power level is increased a higher slew rate is needed to maintain the same frequency response curve.

Frequency Response with Driver Stage
 $P_{OUT}/Channel = 60W (0dB), R_L = 8\Omega,$
2SK1058/2SJ162



30023258

The oscilloscope picture in Figure 28 below compares the rising edge of the direct drive with an output stage using a driver stage.



2 May 2007
 15:26:24

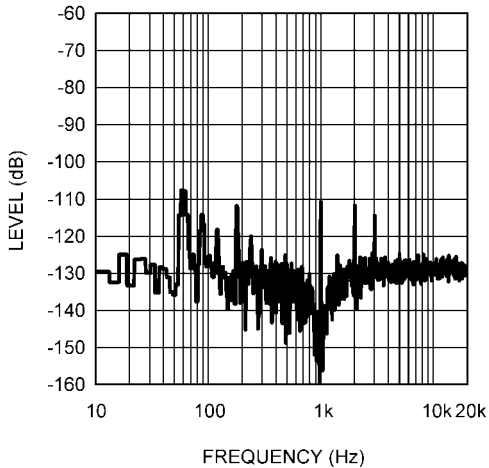
30023276

FIGURE 28. Rise Curve with Driver Stage

MAGNATEC BUZ901/BUZ906 PAIR

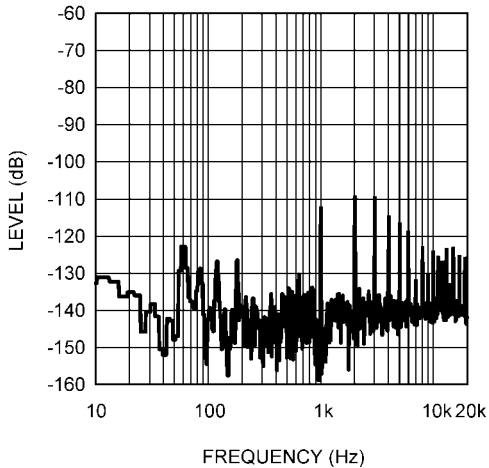
The same tests were performed using the BUZ901/BUZ906 pair in the output stage biased at 180mA. Bias current is very stable with changes in case temperature at 180mA. The gate resistor values were determined by overdriving with a square wave and adjusting their value until the rising and falling edges were as linear as possible while maintaining stability. For these devices the gate resistors were 175Ω - 220Ω on the N-channel FET and 450Ω - 530Ω for the P-channel FET. The FFT graphs used the Audio Precision System 1's Reading function to remove the fundamental for better resolution. The graphs show the distortion levels of the harmonics at 1W, 40W and 100W output power levels with a 1kHz test signal.

FFT vs Frequency (Reading)
 $P_{OUT} = 1W/Channel, R_L = 8\Omega,$
BUZ901/BUZ906



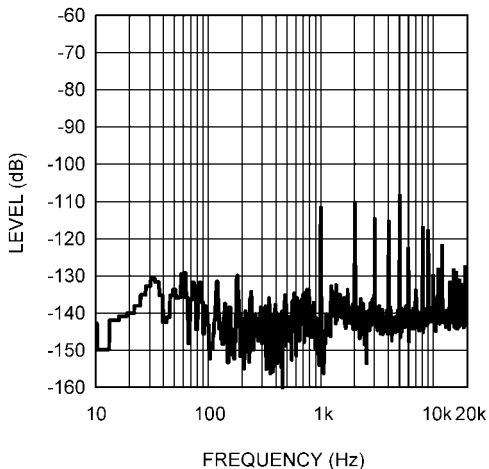
30023245

FFT vs Frequency (Reading)
 $P_{OUT} = 40W/Channel, R_L = 8\Omega,$
BUZ901/BUZ906



30023249

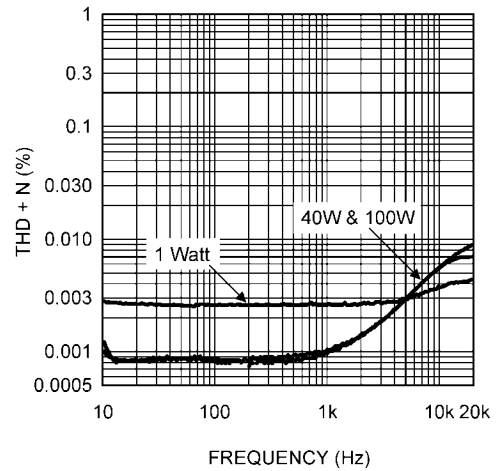
FFT vs Frequency (Reading)
 $P_{OUT} = 100W/Channel, R_L = 8\Omega,$
BUZ901/BUZ906



30023241

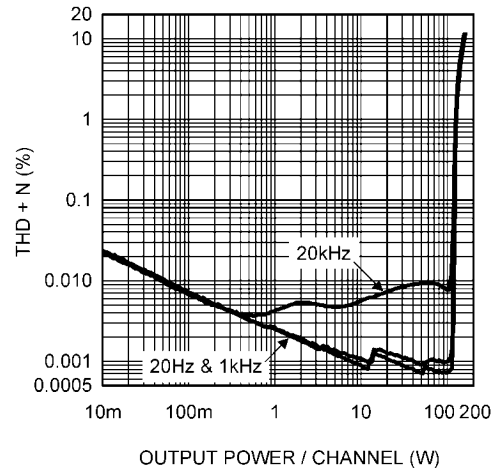
The THD+N vs. Frequency and THD+N vs. Output Power graphs show that high performance is possible over the frequency and power range of interest. The THD+N vs. Frequency graph has a range of 0.0005% to 1% to increase resolution. The 1% power level is 128W/Channel into an 8Ω load.

THD+N vs Frequency
 $P_{OUT}/Channel, R_L = 8\Omega, 80kHz BW$
BUZ901/BUZ906



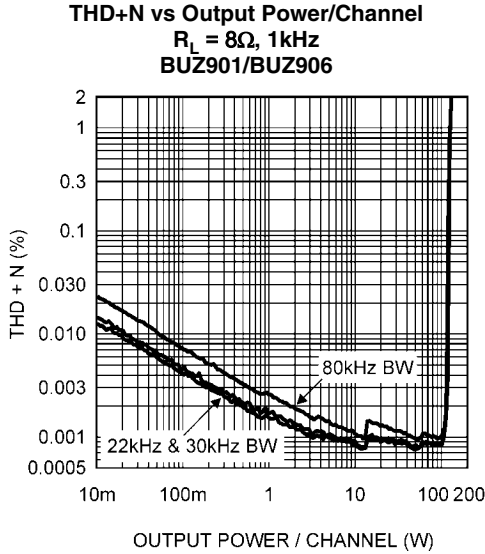
30023260

THD+N vs Output Power/Channel
 $R_L = 8\Omega, 80kHz BW$
BUZ901/BUZ906

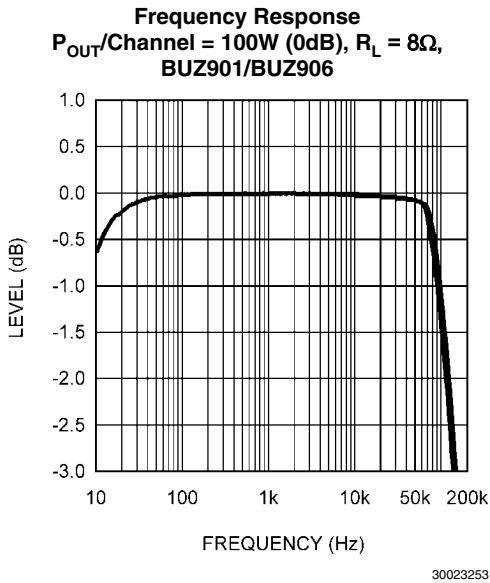


30023268

The graph below compares different bandwidth settings on the measurement equipment and the effect on a 1kHz plot during an output power sweep. The difference between the plots and the bandwidth setting shows the increase in THD +N is noise (+N) and not harmonics (THD).

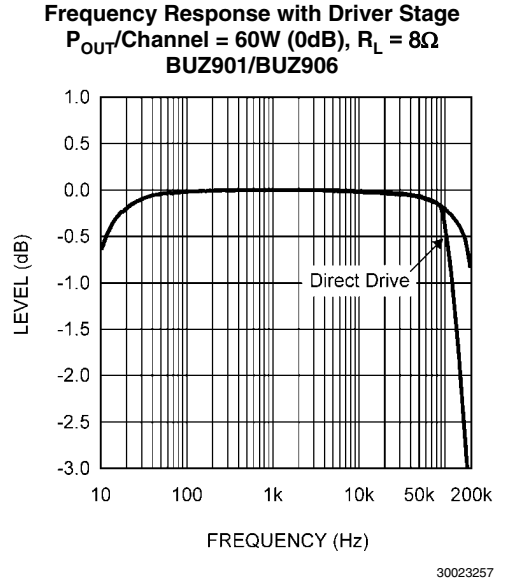


The frequency response at 100W/Channel is shown below. The measured slew rate was 16.5V/ μ s with the output stage directly driven by the LM4702. Both channels are plotted on the graph.



SLEW RATE

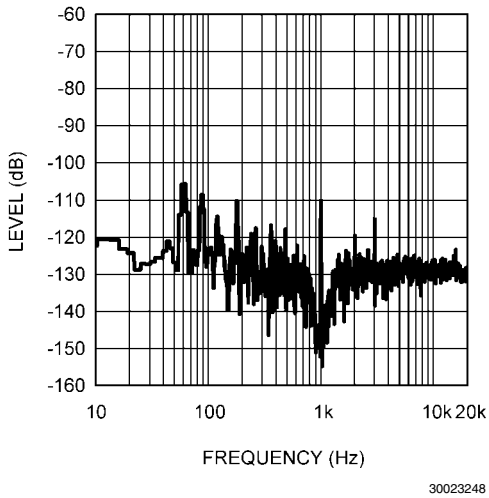
The driver stage of Figure 27 was used to compare direct drive of the output stage using the Magnatec BUZ901/906 pair. One channel of the amplifier had the driver stage added while the other channel used direct drive from the LM4702 for easy comparison. The output stage in both channels was biased to the same 180mA. The frequency response graph below compares the two channels delivering 60W of output power into 8 Ω resistive loads. The results are similar to those achieved by the Renesas 2SK1058/2SJ162 devices with significant improvement in frequency response with a driver stage. The channel with a the driver stage has a slew rate of 32V/ μ s compared to 16.6V/ μ s for the channel with direct drive.



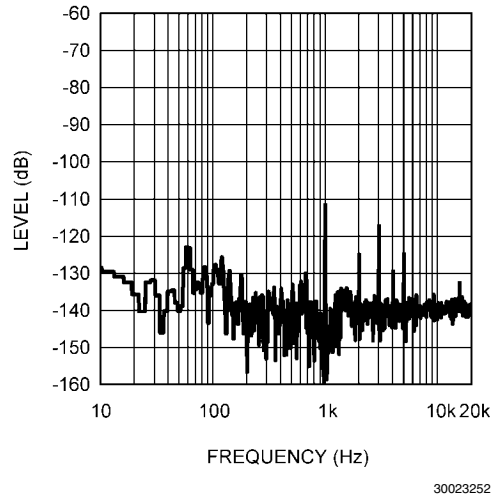
TOSHIBA 2SK1530/2SJ201 PAIR

Once again, The same test were performed with the graphs below using the 2SK1530/2SJ201 pair in the output stage biased at 145mA. The V_{BE} multiplier of Figure 19 was used for bias and thermal compensation to obtain a stable bias current over case temperature. The gate resistor values were determined by overdriving with a square wave and adjusting their value until the rising and falling edges were as linear as possible while maintaining stability. For these devices the gate resistors were 175Ω on the N-channel FET and 500Ω for the P-channel FET. The FFT graphs used the Audio Precision System 1's Reading function to remove the fundamental for better resolution. The graphs show the distortion levels of the harmonics at 1W, 40W and 100W output power levels with a 1kHz test signal.

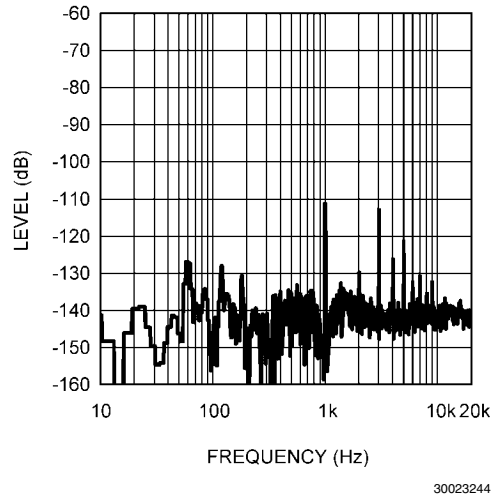
FFT vs. Frequency (Reading)
 $P_{OUT} = 1W/Channel, R_L = 8\Omega$
 2SK1530/2SJ201



FFT vs. Frequency (Reading)
 $P_{OUT} = 40W/Channel, R_L = 8\Omega$
 2SK1530/2SJ201

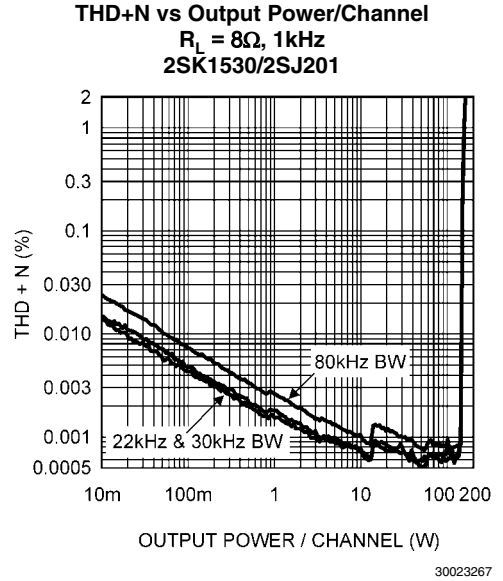
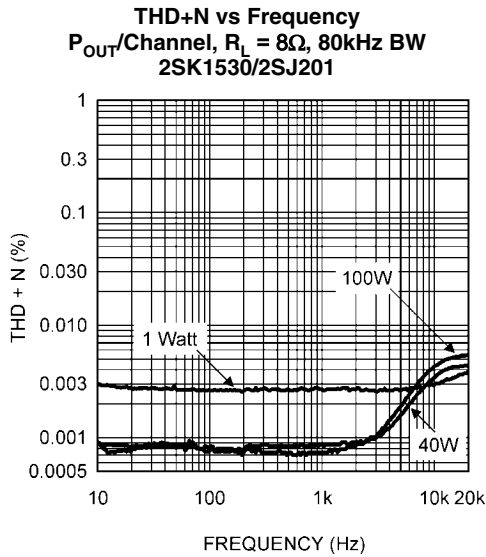


FFT vs. Frequency (Reading)
 $P_{OUT} = 100W/Channel, R_L = 8\Omega$
 2SK1530/2SJ201

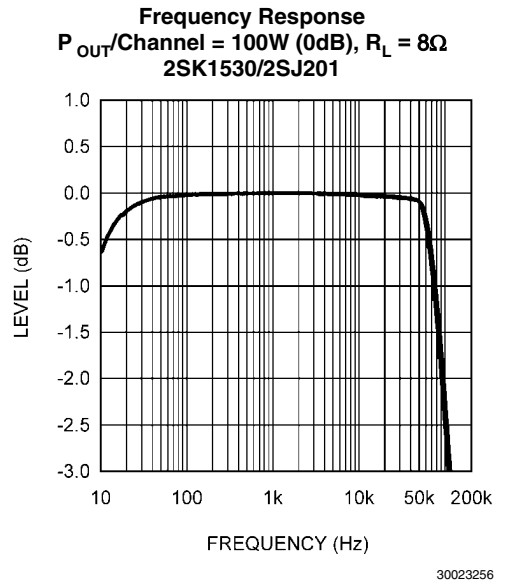
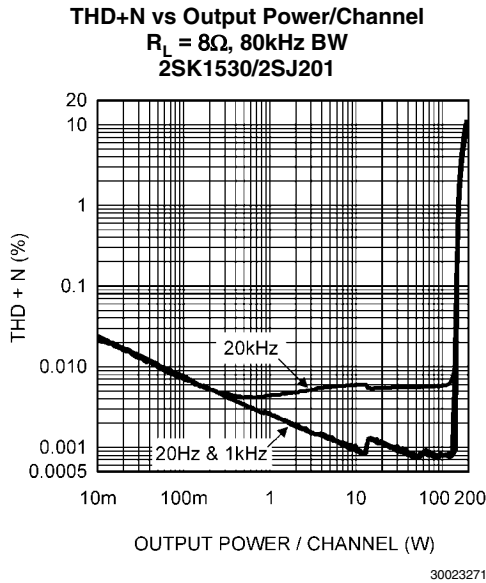


The THD+N vs. Frequency and THD+N vs. Output Power graphs show that high performance is possible over the frequency and power range of interest. The THD+N vs. Frequency graph has a range of 0.0005% to 1% to increase resolution. The 1% power level is 155W/Channel into an 8Ω load.

The graph below compares different bandwidth settings on the measurement equipment and the effect on a 1kHz plot during an output power sweep. The difference between the plots and the bandwidth setting shows the increase in THD +N is noise (+N) and not harmonics (THD).



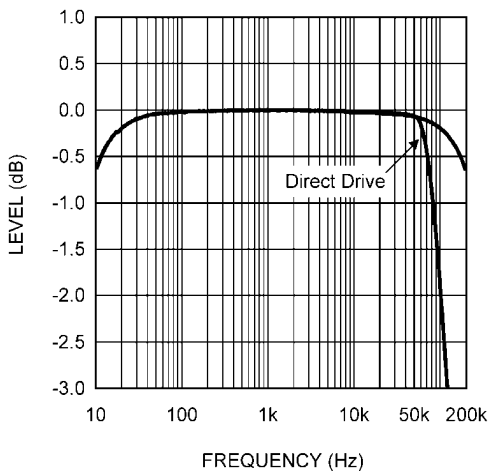
The frequency response at 100W/Channel is shown below. The measured slew rate was 12.5V/μs with the output stage directly driven by the LM4702.



SLEW RATE

The driver stage of Figure 27 was used to compare direct drive of the output stage using the Toshiba 2SK1530/2SJ201 pair. One channel of the amplifier had the driver stage added while the other channel used direct drive from the LM4702 for easy comparison. The output stage in both channels is biased to the same 145mA. The frequency response graph below compares the two channels delivering 60W of output power into 8Ω resistive loads. The results are similar to those achieved by the other devices with significant improvement in frequency response with a driver stage. The highest slew rate was obtained with the Toshiba 2SK1530/2SJ201 pair using the driver stage. At the same time, the lowest slew rate with direct drive from the LM4702 was obtained with these devices. The channel with a the driver stage has a slew rate of 37.5V/μs compared to 12.5Vμs for the channel with direct drive.

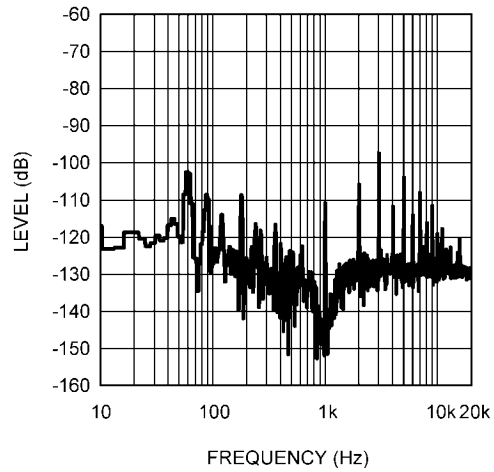
Frequency Response with Driver Stage
 $P_{OUT} = 60W/Channel$ (0dB), $R_L = 8\Omega$,
 2SK1530/2SJ201



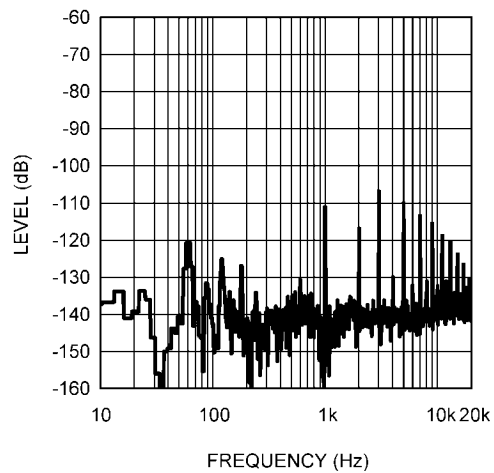
INTERNATIONAL RECTIFIER IRFP240/IRFP9240 PAIR

These devices have higher V_T and therefore, do not meet the bias current criteria of 100mA with a V_{GS} of 3V or less. All other design criteria are exceeded. The testing is included to show what can be obtained with higher V_T devices although they are not optimal for use with the LM4702.

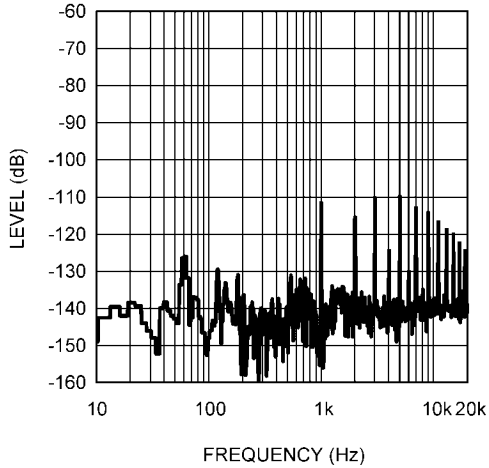
FFT vs Frequency (Reading)
 $P_{OUT} = 1W/Channel$, $R_L = 8\Omega$
 IRFP240/IRFP9240



FFT vs Frequency (Reading)
 $P_{OUT} = 40W/Channel$, $R_L = 8\Omega$
 IRFP240/IRFP9240



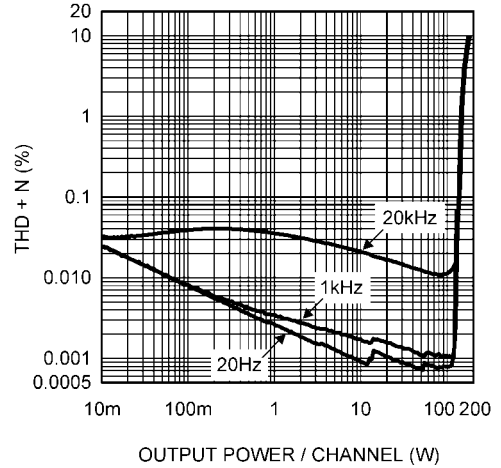
FFT vs Frequency (Reading)
 $P_{OUT} = 100W/Channel, R_L = 8\Omega$
 IRFP240/IRFP9240



30023243

The THD+N vs. Frequency and THD+N vs. Output Power graphs show the performance over the frequency and power range of interest. The THD+N vs. Frequency graph has a range of 0.0005% to 1% to increase resolution. The 1% power level is 147W/Channel into an 8Ω load.

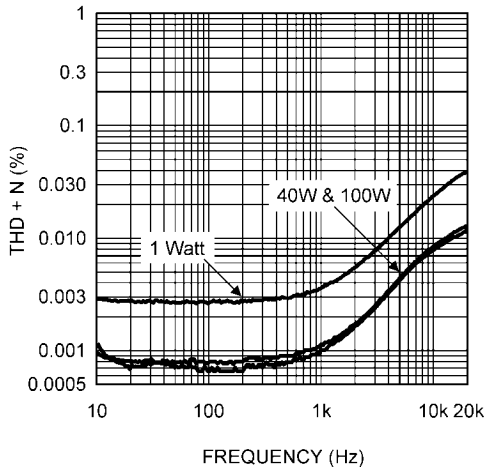
THD+N vs Output Power/Channel
 $R_L = 8\Omega, 80kHz BW$
 IRFP240/IRFP9240



30023270

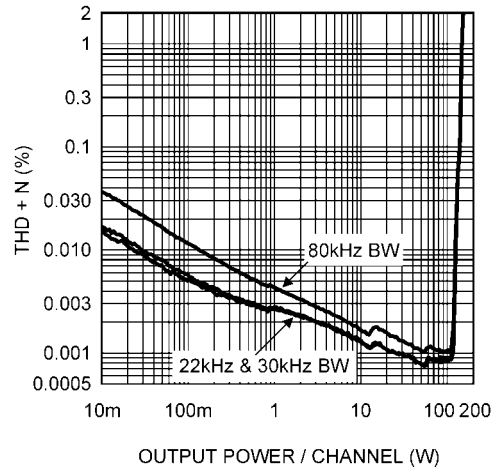
The graph below compares different bandwidth settings on the measurement equipment and the effect on a 1kHz plot during an output power sweep. The difference between the plots and the bandwidth setting shows the increase in THD+N is noise (+N) and not harmonics (THD).

THD+N vs Frequency
 $P_{OUT}/Channel, R_L = 8\Omega, 80kHz BW$
 IRFP240/IRFP9240



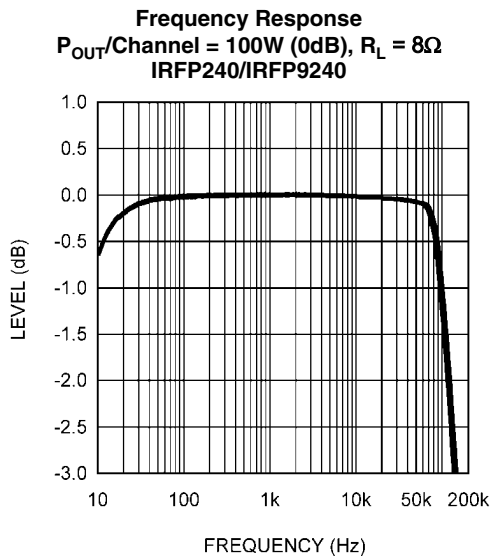
30023262

THD+N vs Output Power/Channel
 $R_L = 8\Omega, 1kHz$
 IRFP240/IRFP9240



30023266

The frequency response at 100W/Channel is shown below. The measured slew rate was 14V/ μ s with the output stage directly driven by the LM4702.



SLEW RATE

Adding a driver stage with the IRFP240/IRFP9240 would reduce the already low bias voltage by over 1V. It has been shown with the other pairs of MOSFET devices that adding a driver stage will significantly increase the slew rate. It follows that adding a driver stage with the IRFP240/IRFP9240 devices will result in a significant slew rate increase.

Summary

Using the LM4702 and correctly chosen MOSFET devices, a simple yet high performance amplifier can easily be realized. While circuit modifications and additions can improve perfor-

mance the solution presented has a low part count and simplicity is maintained. Table 5 below gives a snap shot look at different data points using the same PCB with a supply voltage of $\pm 55V$ driving 8Ω loads.

TABLE 5.

Manufacturer / Devices	Bias Current	1% Output Power	10% Output Power	1kHz THD+N at 40W/ Channel, 22kHz BW	Direct Drive Slew Rate
Renesas 2SK1058 / 2SJ162	115mA	125.5W/Ch.	156W/Ch.	0.00082%	17V/ μ s
Magnatec BUZ901 / BUZ906	180mA	128W/Ch.	160W/Ch.	0.00088%	16.5V/ μ s
Toshiba 2SK1530 / 2SJ201	145mA	155W/Ch.	185W/Ch.	0.00071%	12.5V/ μ s
International Rectifier IRFP240 / IRFP9240	25mA	147W/Ch.	182W/Ch.	0.00090%	14V/ μ s