

A Monolithic 14-Bit D/A Converter¹

Монолитный 14-битный D/A преобразователь

RUDY J. VAN DE PLASSCHE AND DICK GOEDHART

Перевод: Сухоруков С.А.

Резюме – Описан монолитный 14-битный D/A преобразователь, использующий для получения высокой точности и хорошей долговременной стабильности "динамическую подстройку элементов". В диапазоне температур от -50° до 70°C нелинейность составила менее половины наименее значимого бита ($\frac{1}{2}$ LSB). Динамические тесты показывают искажения на уровне -90 дБ относительно максимальной выходной синусоиды. Не обнаружено почти никаких глитчей, так что преобразователь может работать без схемы деглитчера. Чип размером 3.1x3.2 мм содержит все необходимые элементы за исключением выходного усилителя и входных цифровых регистров.

МОНОЛИТНЫЙ 14-БИТНЫЙ D/A ПРЕОБРАЗОВАТЕЛЬ

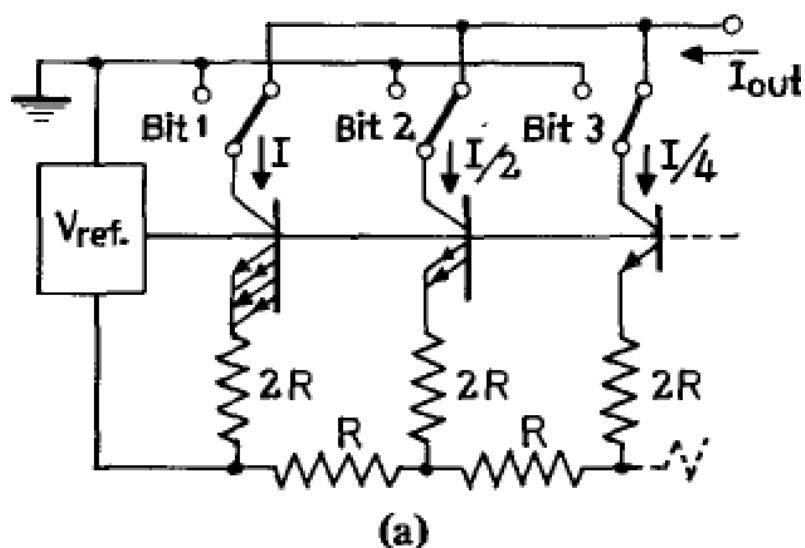
Монолитные D/A преобразователи являются предметом растущего интереса вследствие быстро расширения рынка цифровых систем обработки сигналов. Внедрении цифровой обработки сигналов в звукозаписывающие и звуковоспроизводящие системы налагает строгие требования по динамике преобразователей. Многие из этих систем требуют разрешения от 14 до 16 бит для получения высокого отношения сигнал/шум и хорошей линейности.

Интегральные преобразователи с лестничной сетью R-2R с транзисторами на выходе широко используются для генерации двоично взвешенных токов. Эти токи переключаются битовыми ключами, осуществляя преобразование двоичной информации в аналоговый сигнал. На Рис.1 показан пример такого конвертера. Здесь есть две основные конструктивные проблемы.

Первая проблема, на которую обращают наибольшее внимание, - это проблема точности взвешивания битовых токов. Вторая проблема, которая определяет динамические свойства, - это переключение точно взвешенных токов без глитчей. Возвращаясь к проблеме точности, таблица на Рис. 1 показывает, что D/A преобразователи разрядностью вплоть до 10 бит могут быть интегрированы без особых проблем. На рынке доступны 12-битные конвертеры [1], но они для достижения точности требуют использования технологии ла-

¹ Рукопись получена 14 октября 1978 года; проверена 14 декабря 1978 года. Авторы – сотрудники Philips Research Laboratories, Эйндховен, Нидерланды.

зерной подгонки тонкоплёночных резисторов или технологии "заострения" диодов Зенера. Насколько успешно эти методы можно применить к 14- или 16-битным преобразователям, всё ещё сомнительно, и имеются некоторые сомнения относительно долговременной стабильности. Кроме того, затраты на подгонку в крупносерийном производстве не могут быть игнорированы. В этой статье описан монолитный 14-битный D/A преобразователь, который имеет другую схему для достижения высокой точности взвешивания и хорошей долговременной стабильности. Этот метод, называемый "динамическое согласование элементов" [2], не нуждается в подгонке и сочетает пассивное деление с концепцией временного деления. Более того, он не чувствителен к старению элементов.



Fab. process	Matching tolerance			
	$\sigma(\%)$		mean(%)	
	10 μ	40 μ	10 μ	40 μ
Diffusion	0.44	0.23	-0.1	0.07
Thin film	0.24	0.11	-0.1	-0.06
Ion implant	0.34	0.12	0.05	0.05

RESISTOR LINEWIDTH 10 μ and 40 μ

(b)

Рис. 1

Упрощённая схема делителя показана на Рис.2(a). Он состоит из пассивного делителя тока, и набора ключей, управляемых тактовым генератором. Общий ток $2I$ делится пассивным делителем на две почти равные части: $I_1 = I + \Delta I$, $I_2 = I - \Delta I$. Затем токи I_1 и I_2 , перемежаясь в течении равных промежутков времени, подаются на выходы 3 и 4. Через эти выходы протекают токи, средняя величина которых в точности одинакова и имеет значение по по-

стоянному току равное I . Рис. 2 (b) показывает токи как функцию времени. Небольшие пульсации тока $2\Delta I$ частотой f также присутствуют в выходных токах. Эти пульсации дают меру согласованности пассивного делителя.

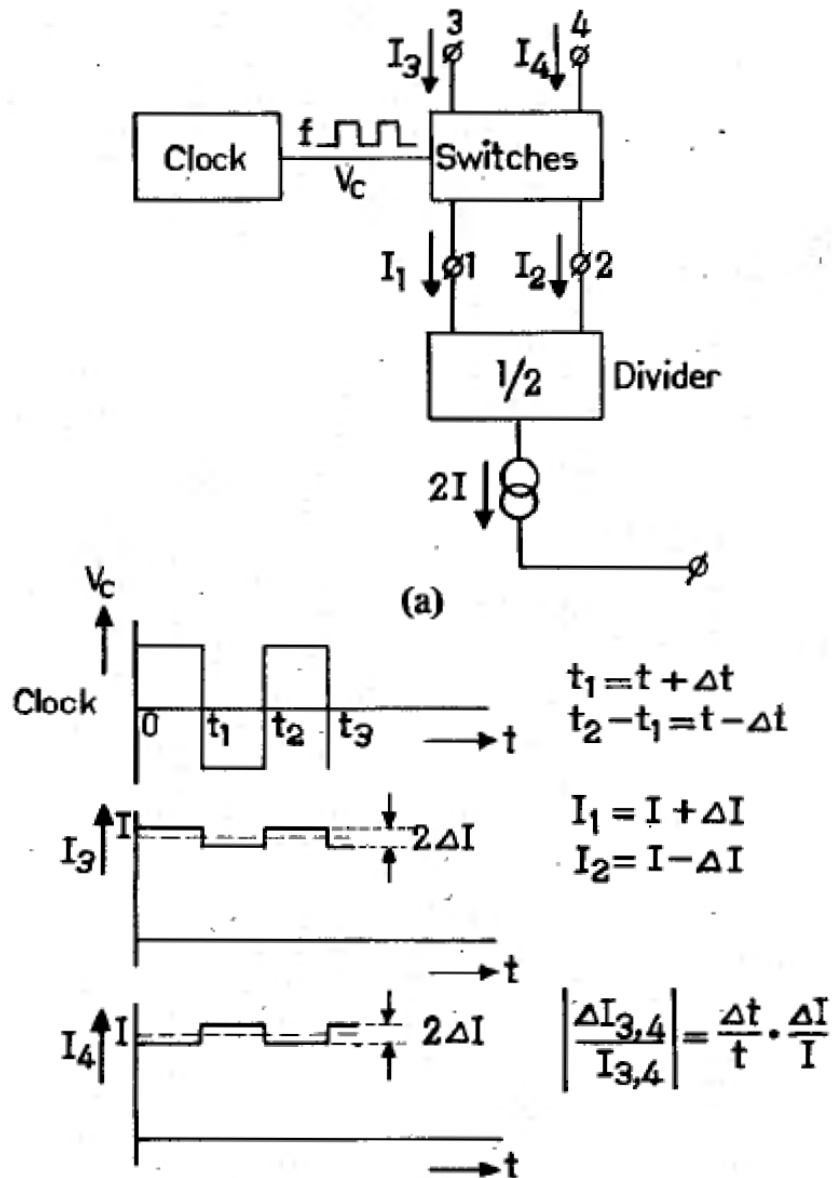


Рис. 2. (a) Базовый делитель тока. (b) Токи как функции времени.

Простым НЧ фильтром эти пульсации могут быть подавлены, и получено точное соотношение токов 1 к 2. Если интервалы времени отличаются на величину Δt , ошибка деления составит:

$$\frac{\Delta I_{3,4}}{I_{3,4}} = \frac{\Delta t}{t} \cdot \frac{\Delta I}{I}$$

Если $\Delta I/I \cong 1\%$, а $\Delta t/t \cong 0.1\%$, может быть получена точность $\cong 10^{-5}$. Для хорошей работы системы в практической схеме требуется источник питания напряжением минимум 2 В. При каскадировании делителей точность сети двоично взвешенных токов достигается ценой

увеличения напряжения питания. В 14-битной сети токов это приводит к непрактично высокому напряжению питания. Поэтому должна использоваться улучшенная схема, дающая за одну операцию перестановки большее количество взвешенных токов.

УЛУЧШЕННАЯ СХЕМА ДЕЛИТЕЛЯ

В улучшенной схеме делителя пассивный делитель тока расширен для деления тока $4I$ на четыре почти равные части: $I_1 = I + \Delta_1 I$, $I_2 = I + \Delta_2 I$, $I_3 = I + \Delta_3 I$ и $I_4 = I + \Delta_4 I$ [смотри Рис.3 (а)].

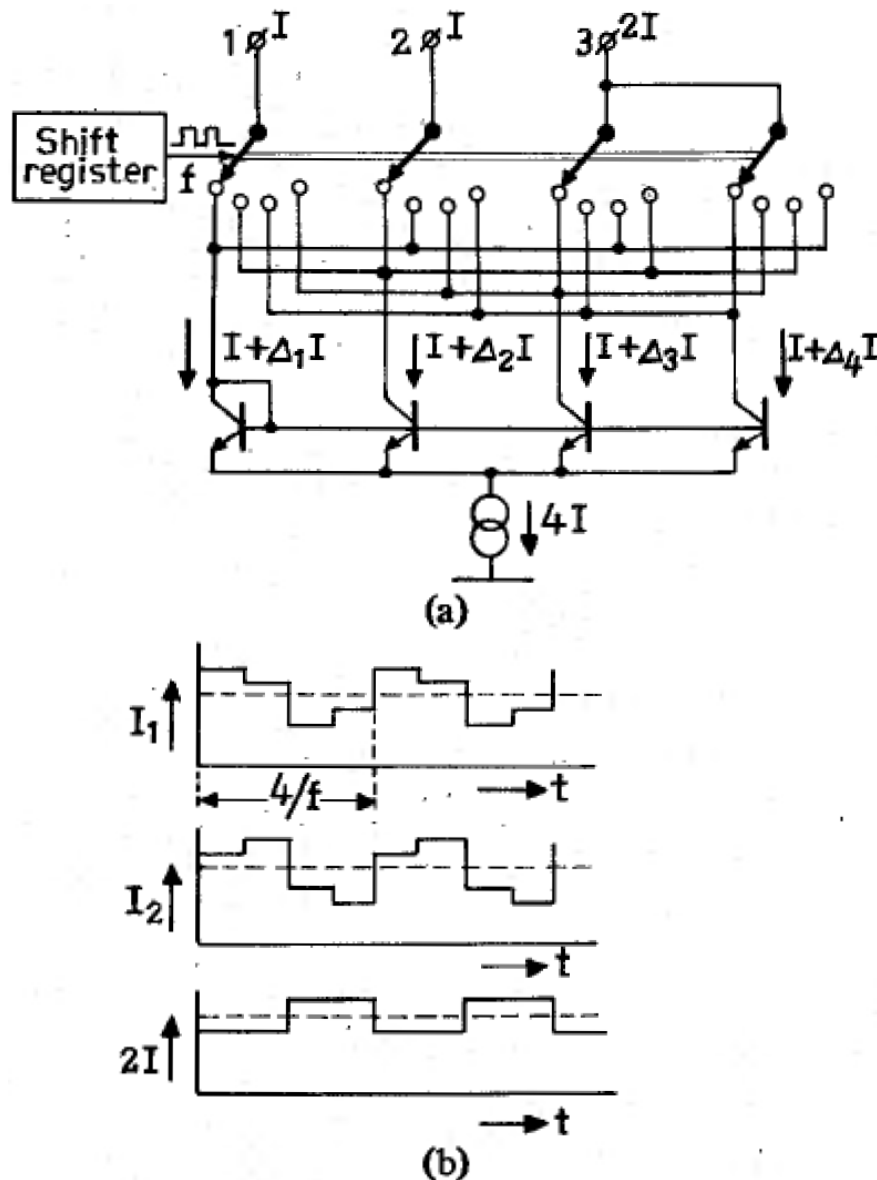


Рис. 3. (а) Улучшенный делитель тока. (б) Токи как функции времени.

Заметим, что $\Delta_1 + \Delta_2 + \Delta_3 + \Delta_4 = 0$. Эти токи затем подаются на переключающую сеть, которая переставляет все токи в течение одинаковых интервалов времени. Эти интервалы времени генерируются 4-битным сдвиговым регистром. На выходе переключающей сети токи скомбинированы, давая $2I$, I и I . Выходные токи как функции времени показаны на

Рис. 3(b). Рисунок показывает, что токи величиной I имеют пульсации с той же частотой, что и частота тактового генератора, в то время как ток $2I$ пульсирует с частотой $f/2$. Ошибки синхронизации имеют такое же влияние на точность, как в системе, показанной на Рис. 2(a).

На Рис. 4 показана блок-схема практического делителя. Транзисторы T_1 , T_2 , T_3 и T_4 с резисторами R делят ток $4I$ на четыре почти равных тока I . Эти токи подаются на переставляющую сеть, состоящую из ключей на транзисторах Дарлингтона для минимизации потерь на базовый ток. По топологии схемы два тока складываются непосредственно на коллекторном выводе, который даёт в результате ток $2I$.

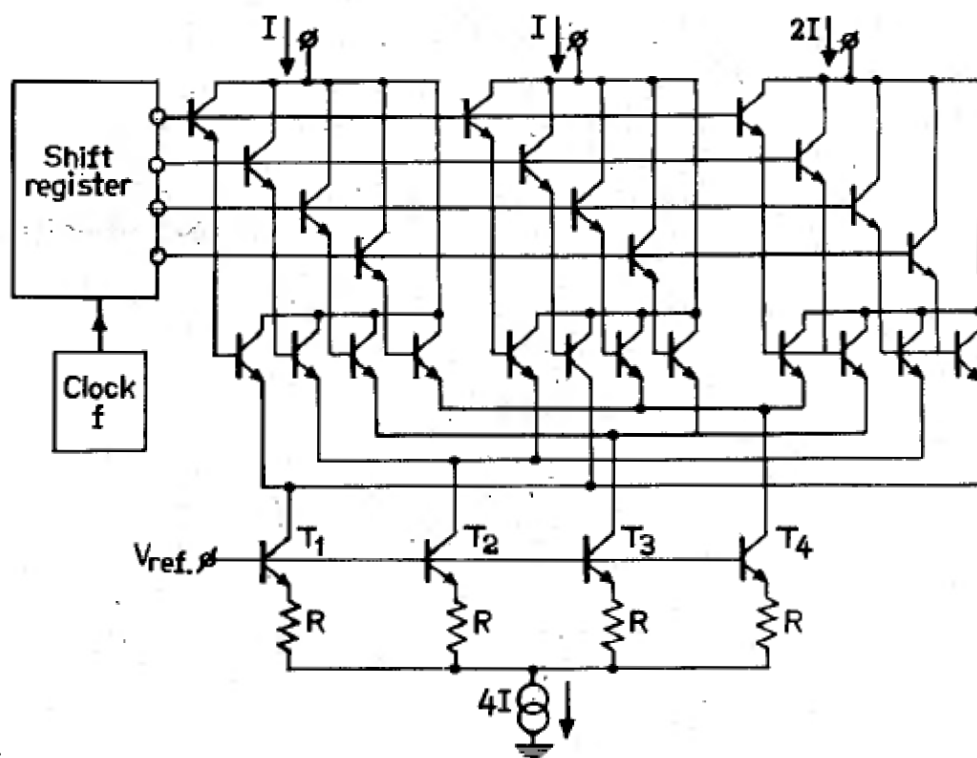


Рис. 4. Практический 2-битный делитель тока.

Четырёхкаскадный сдвиговый регистр обеспечивает сигналами для перестановки токов. Единственным проектным критерием для обеспечения высокой точности деления является высокий коэффициент усиления по току для переключающих транзисторов.

СЕТЬ ДВОИЧНО ВЗВЕШЕННЫХ ТОКОВ

Каскадированием делителей тока можно сформировать сеть двоично взвешенных токов (см. Рис. 5). В первом каскаде для организации точного токового зеркала используется комбинация источника опорного тока I_{ref} и усилителя тока.

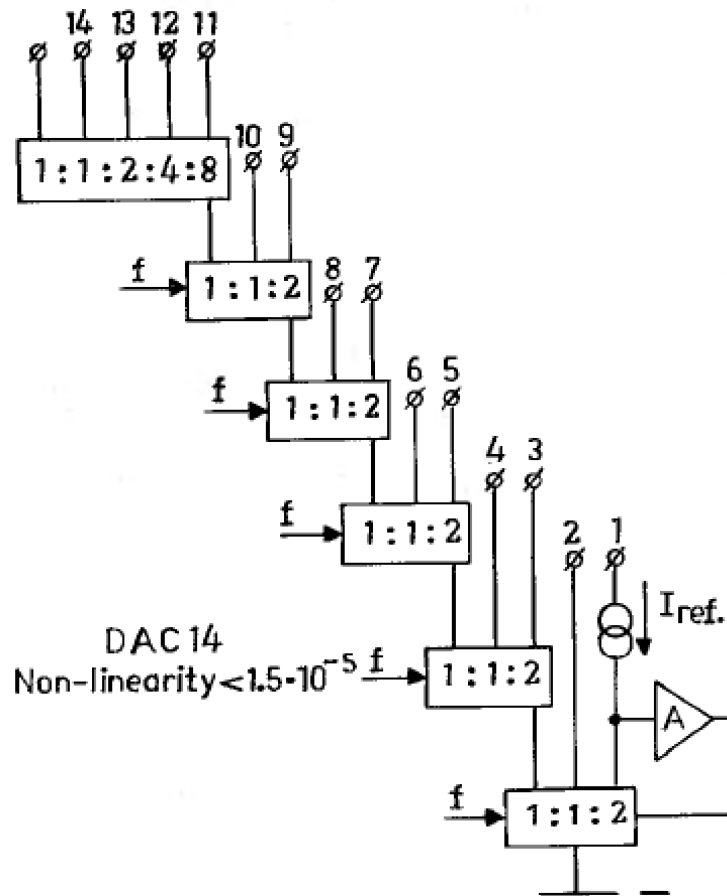


Рис. 5. Сеть двоично взвешенных токов

Сам опорный ток используется в качестве битового тока старшего значащего разряда (MSB), что имеет преимущество, заключающееся в отсутствии необходимости в фильтрации. Существует компромисс между выходом годных изделий для схемы и минимальным напряжением питания. Для достижения 14-битной точности должен быть сделан выбор между количеством переключаемых и непереключаемых токовых делителей. Высокий выход годных изделий обнаружился для пяти переключаемых каскадов, за которыми следует 4-битный пассивный делитель, использующий эмиттерное масштабирование.

ФИЛЬТРОВАНИЕ И ПЕРЕКЛЮЧЕНИЕ

Каким образом выходные токи переключаемых каскадов делителей фильтруются и подключаются к выходной линии, детально показано на Рис.6. Используются фильтры первого порядка (C_1R_1 , C_2R_2), для которых к чипу добавлены внешние конденсаторы (C_1 , C_2). Дополнительные каскады на транзисторах Дарлингтона (T_3 , T_4 и T_5 , T_6) изолируют фильтры от переключателей двоично взвешенных битовых токов. Индивидуальная фильтрация для каждого битового тока минимизирует шумы выходного тока конвертера. Битовые

ключи выполнены по диодно-транзисторной конфигурации (T_1, D_1 и T_2, D_2), дающей довольно быстрое и точное переключение без потерь на базовый ток.

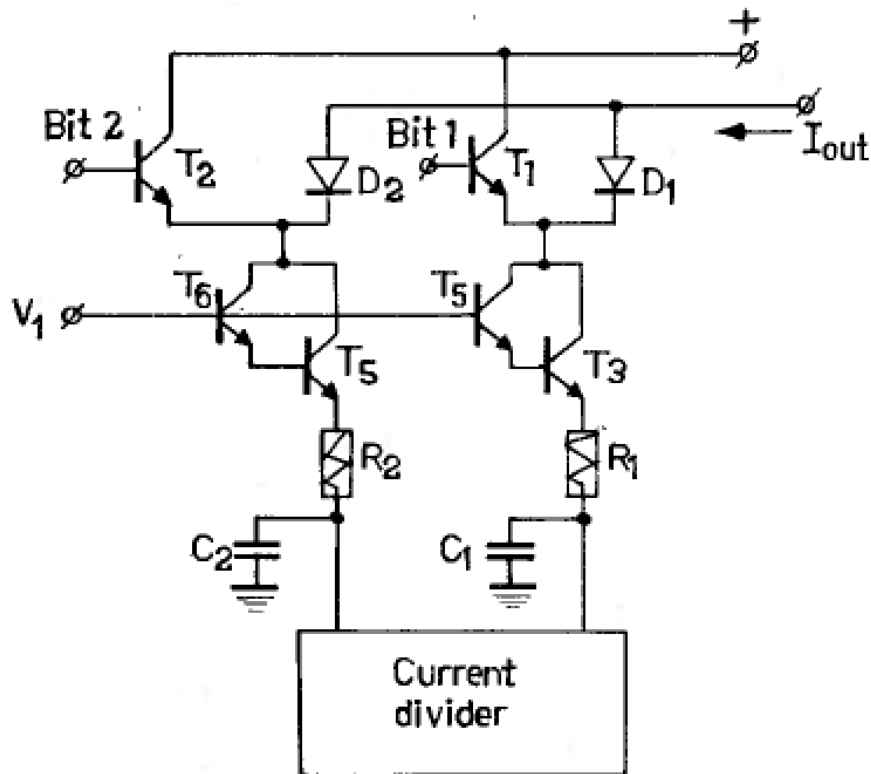


Рис. 6. Деталь фильтрующей и переключающей части схемы

ПРАКТИЧЕСКИЙ D/A ПРЕОБРАЗОВАТЕЛЬ

Полная схема D/A преобразователя показана на Рис.7. Легко распознаются 14-битная сеть двоично взвешенных токов, источник опорного тока, каскоды с фильтрующими элементами и битовые ключи. Сдвиговый регистр для перестановок состоит из триггеров, выполненных по конфигурации мастер-ведомый, приводимых в действие мультивибратором с эмиттерными связями (слева внизу). Соблюдены условия для получения индивидуальной фильтрации пульсаций тока для наиболее значимых битов. Если используется эта фильтрация, скорость преобразования определяется только скоростью битовых ключей.

ИЗМЕРЕНИЯ

Важным параметром D/A преобразователя является линейность. Если линейность лучше, чем половина младшего разряда ($\frac{1}{2}$ LSB), преобразователь автоматически является монотонным. На Рис. 8 показаны результаты измерения линейности как функции температуры. В диапазоне температур от -50° до 70°C нелинейность меньше, чем $3 \times 10^{-5} = \frac{1}{2}\text{LSB}$. По тестовой схеме на Рис. 9 были выполнены некоторые динамические тесты следующим образом.

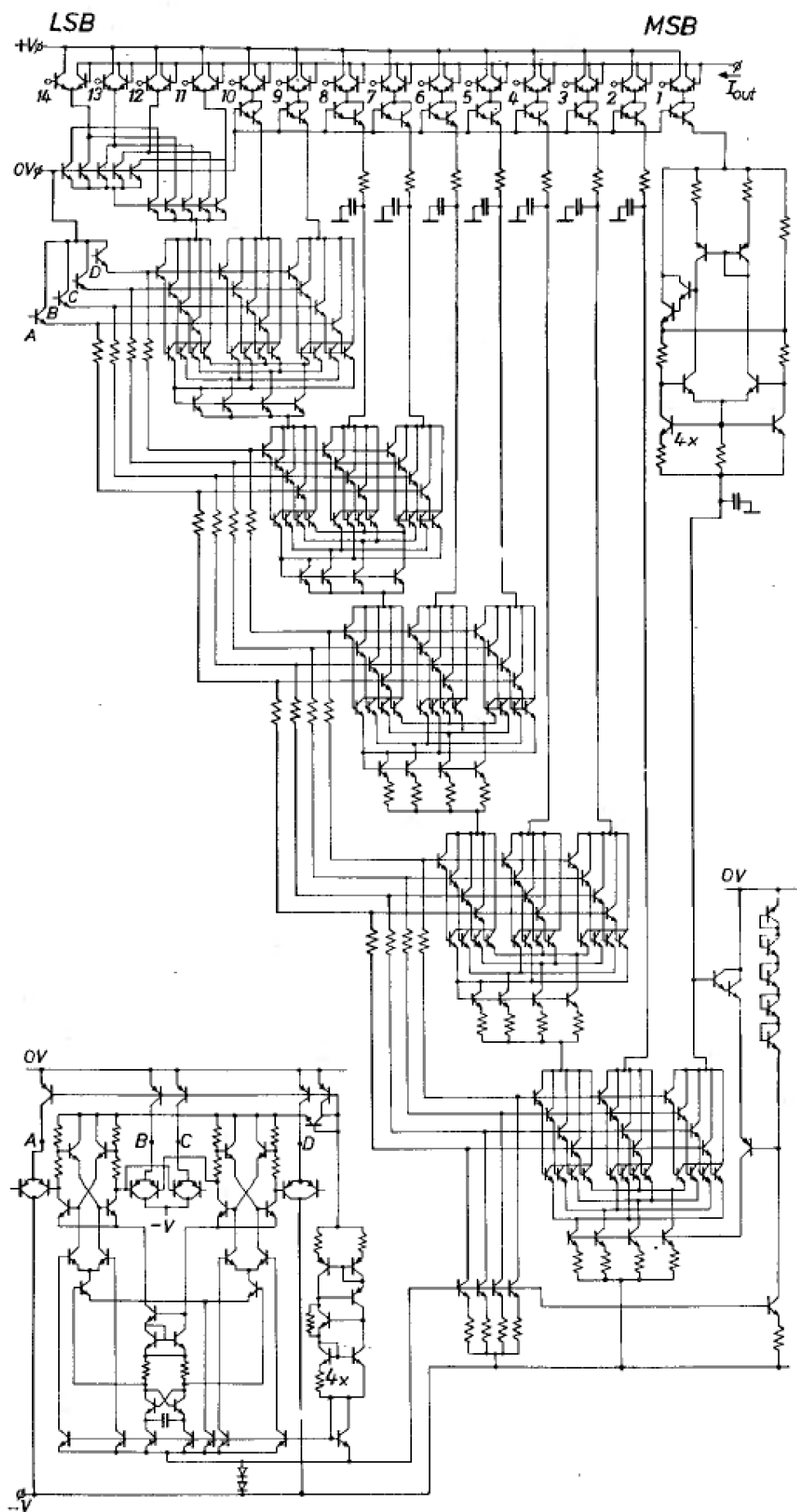


Рис.7. Полная схема 14-битного D/A преобразователя

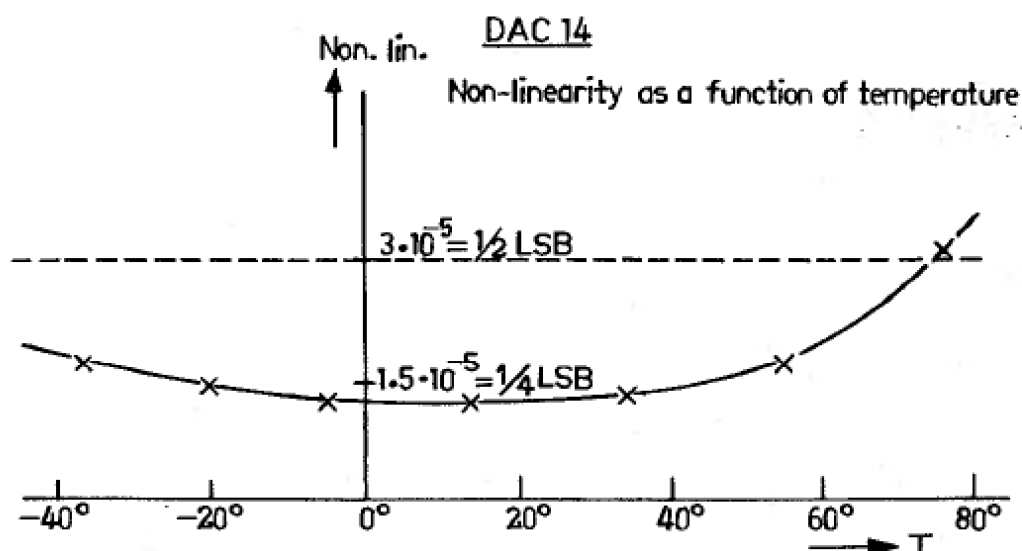


Рис. 8. Нелинейность 14-битного D/A преобразователя как функция температуры

Из цифрового синусоидального источника 14-битные слова загружаются в регистр с тактовой частотой 50 кГц. Выходы регистра непосредственно управляют битовыми ключами преобразователя. Выходной ток преобразователя конвертируется в напряжение посредством операционного усилителя с очень высоки быстродействием с резистором R в петле обратной связи. Выходной сигнал операционного усилителя анализируется спектральным анализатором и осциллографом.

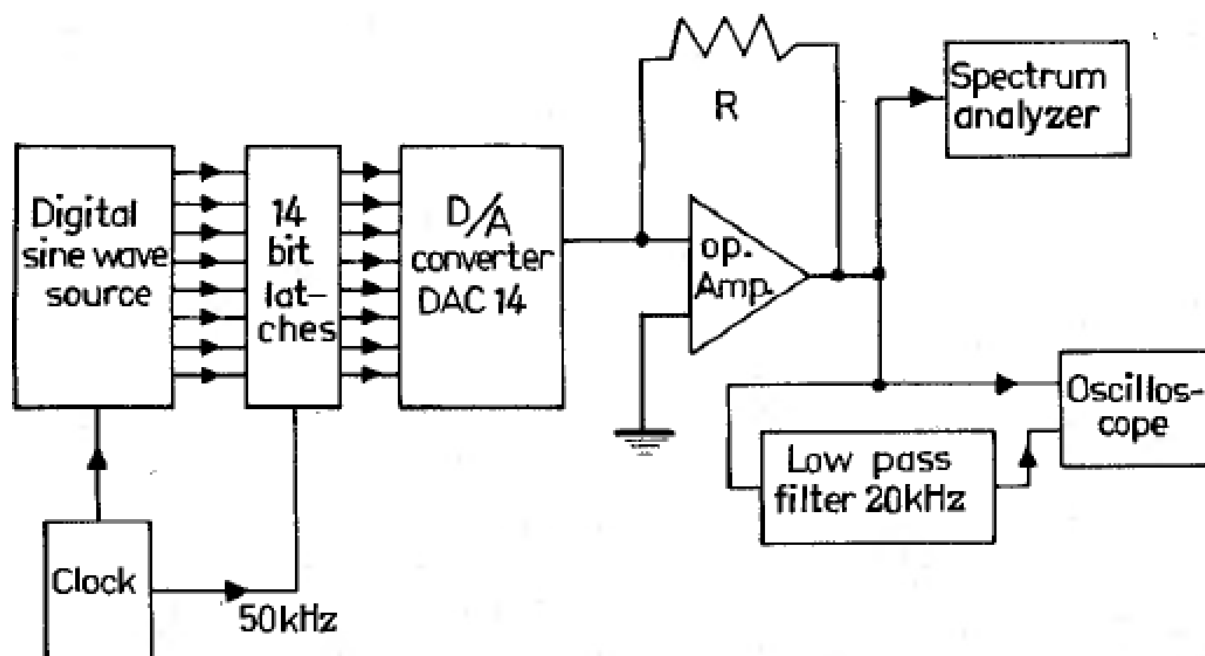
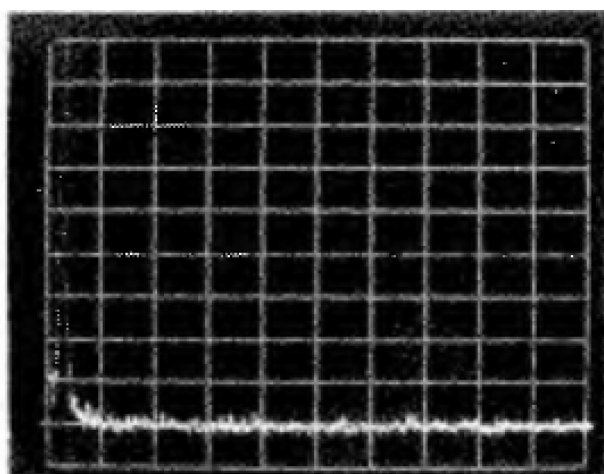
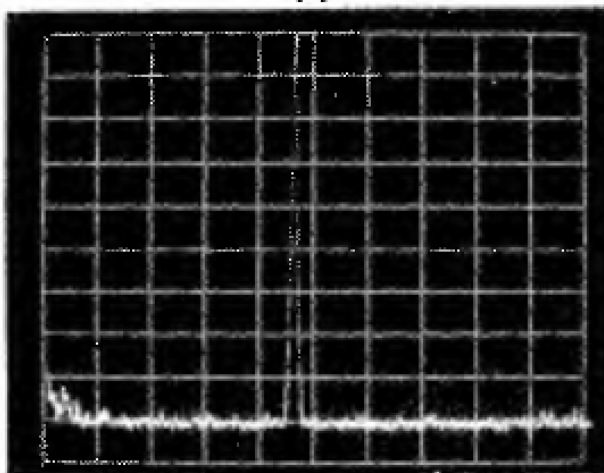


Рис. 9. Схема измерения для определения искажений и импульсов на выходе

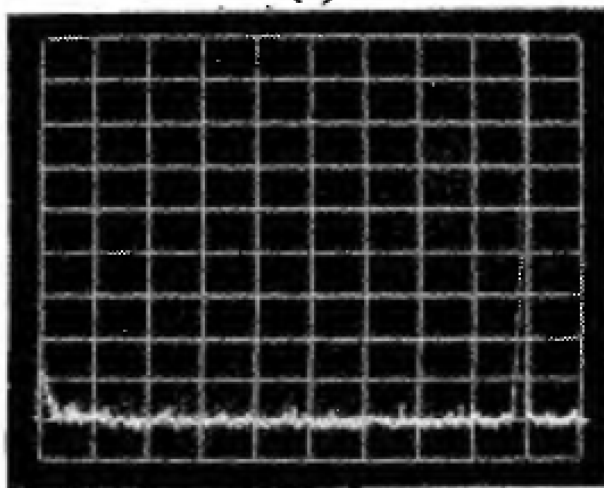
Результаты спектрального анализа показаны на Рис. 10 (а) – (с). Частота синусоиды в этих случаях составляет соответственно 600 Гц, 9 кГц и 18 кГц.



(a)



(b)

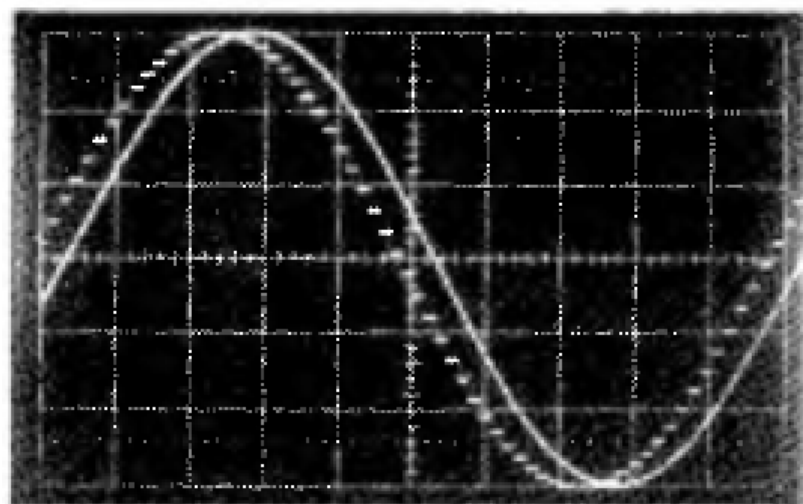


(c)

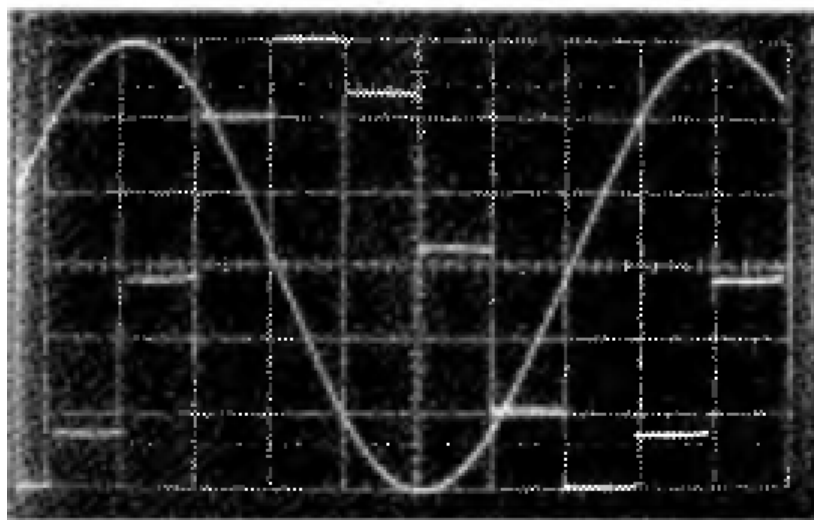
Рис. 10. (a) Искажения выходной синусоидальной волны частотой 1 кГц. По горизонтали 2 кГц/см. Ширина полосы 30 Гц. По вертикали 10 дБ/см. (b) То же для частоты 9 кГц. (c) То же для частоты 18 кГц.

Эти результаты показывают, что искажения находятся на уровне -90 дБ относительно максимального выходного напряжения синусоиды. Эти -90 дБ соответствуют также пределу чувствительности спектрального анализатора.

Осциллограммы показаны на Рис. 11 (a) и (b) соответственно для частоты синусоиды 1 кГц и 6,3 кГц. Для получения стабильной картинки требуется синхронизация между тактовой частотой и синусоидой. Это уменьшает количество выходных частот, которые могут быть отображены. Задержку между ступенчатой синусоидой и отфильтрованной синусоидой даёт НЧ фильтр. Фотографии показывают хороший ступенчатый отклик и отсутствие глитчей.



(a)



(b)

Рис. 11. (a) Отфильтрованный и неотфильтрованный выходные сигналы для выходной частоты 1 кГц. (b) То же для частоты 6,3 кГц.

ДАННЫЕ D/A КОНВЕРТЕРА

Некоторые данные преобразователя показаны в Таблице I. Отметим, что время установления D/A конвертеру с применением по-битовой фильтрации.

ТАБЛИЦА I

Спецификация D/A преобразователя

Параметры D/A преобразователя:	
Разрешение	14 бит
Нелинейность	$\pm 1/4$ LSB при температуре $T = 25^{\circ}\text{C}$ $\pm 1/2$ LSB в диапазоне $-50^{\circ}\text{C} < T < 70^{\circ}\text{C}$
Выходной ток	2 мА
Скорость преобразования	10 мкс до установления с точностью $1/2$ LSB
Темп. коэффициент выходного тока	$5 \times 10^{-6}/^{\circ}\text{C}$
Размеры чипа	3.1×3.2 мм
Оптимальная частота перестановок	2.5 кГц
Питание	+5 В и -15 В

Микрофотография чипа показана на Рис. 12.

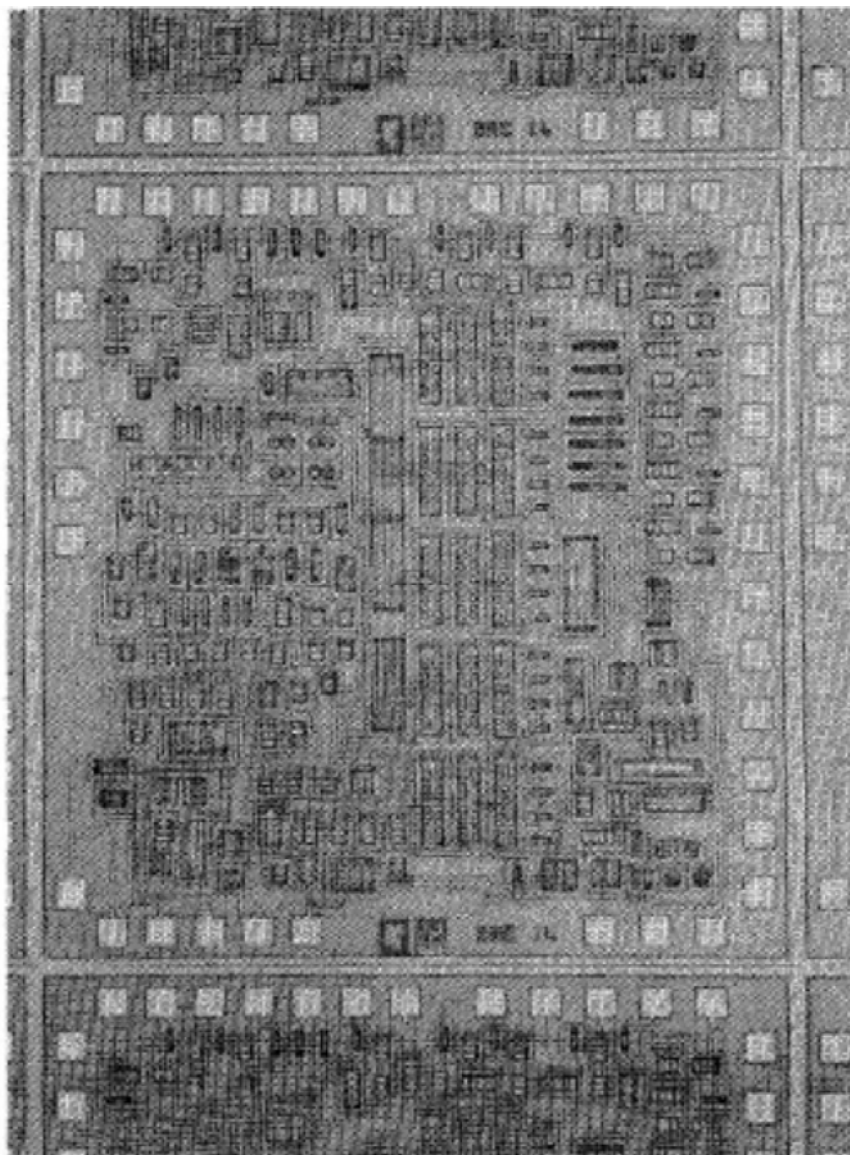


Рис. 12. Микрофотография чипа D/A преобразователя

Выводы

Метод динамического согласования элементов обеспечивает простую, точную и надёжную процедуру проектирования для высокоточных монолитных D/A преобразователей. Метод не требует никаких дорогостоящих процедур подгонки и нечувствителен к изменениям процесса и старению компонентов. Основные преимущества метода – хорошая долговременная стабильность и низкие шумы фильтрованных битовых токов.

Хорошая динамика описанного преобразователя делает его весьма подходящим для звуковоспроизводящих и записывающих систем.

Благодарности

Авторы хотят поблагодарить А. Schmitz за обработку схем.

Ссылки

- [1] D. T. Comer, "A monolithic 12-bit DAC," *IEEE Trans. Circuits Syst*, vol. CAS-25, pp. 504-509, July 1978.
- [2] R. J. van de Ptassche, "Dynamic element matching for high accuracy monolithic D/A converters," *IEEE J. Solid-State Circuits*, vol. SOU, pp. 795-800, Dec. 1976.

Фотографию и биографию Rudy J. van de Plassche смотри на стр.531 этого выпуска.



Dick Goedhart родился в Arnemuiden, Нидерланды, 6 января 1949 года. В 1973 г. он получил степень инженера-электрика в Техническом колледже в Flushing, Нидерланды.

В этом же году поступил на работу в Philips Research Laboratories, Эйндховен, Нидерланды, где он работал в группе контрольно-измерительной аппаратуры. Он работал в этой группе над разработкой линейных интегральных схем.